



RAČUNALNIŠKA ARHITEKTURA

6 Centralna procesna enota - CPE



6 Centralna procesna enota - cilji:

- Osnovno razumevanje :
 - zgradbe (osnovna elektronska vezja) in delovanja CPE
 - sinhronizacije delovanja vezij z urinim signalom
 - mikroprogramska (SW) ali trdoožičena (HW) izvedba CPE

- Razumevanje paralelizacije:
 - vzroki obstoja
 - izvedba paralelizacije na nivoju ukazov
 - cevovod

- Splošno razumevanje izvedbe ukazov v CPE



6 Centralna procesna enota

- Zgradba in delovanje CPE
- Procesor ARM - lastnosti
- Zgradba CPE - ARM
- Izvajanje ukazov
- Paralelno izvajanje ukazov
- Cevovodna CPE
- Primer 5-stopenjske cevovodne CPE
- Večizstavitveni procesorji



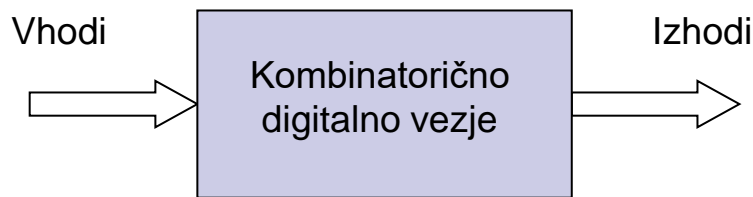
6.1 Zgradba in delovanje CPE

- CPE (Centralna procesna enota ali tudi procesor) je enota, ki izvršuje ukaze, zato njena zmogljivost v veliki meri določa zmogljivost računalnika.
- Poleg CPE ima večina računalnikov še druge procesorje, večinoma v vhodno/izhodnem delu računalnika.
- Osnovni principi delovanja so za vse vrste procesorjev enaki.

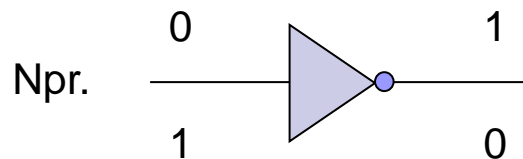


Centralna procesna enota

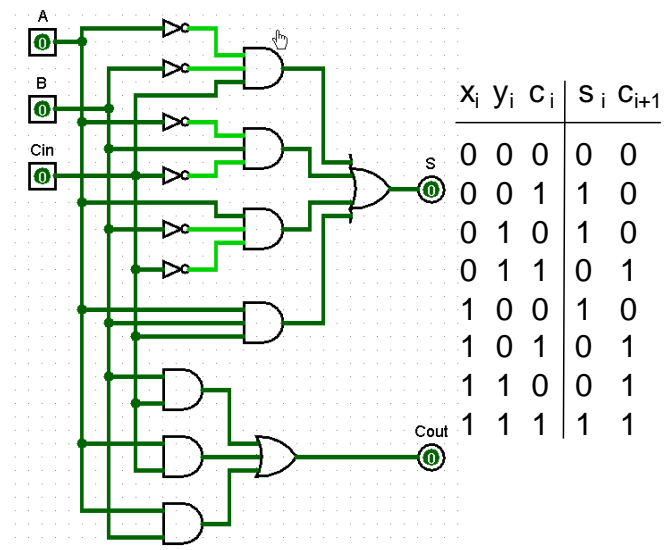
- CPE je digitalni sistem (zgrajena iz digitalnih elektronskih vezij) posebne vrste.
- Dve skupini digitalnih vezij:
 - Kombinatorična digitalna vezja
 - Stanje izhodov je odvisno samo od trenutnega stanja vhodov



Primer: Negator



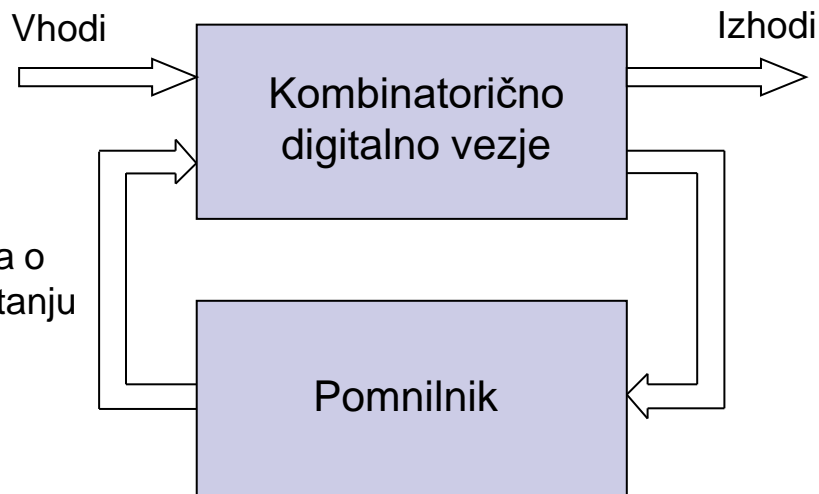
Primer: 1-bitni seštevalnik



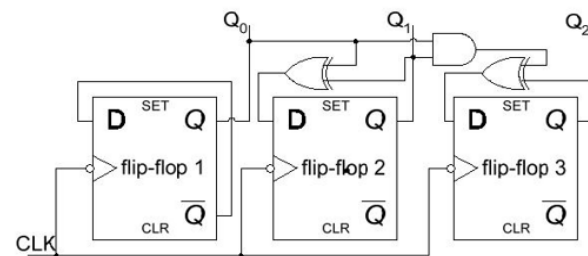


□ Pomnilniška (sekvenčna) digitalna vezja

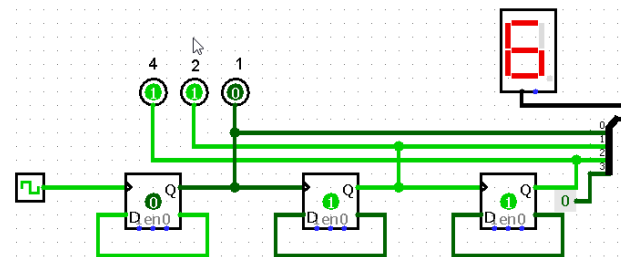
- Stanje izhodov je odvisno od trenutnega stanja vhodov in tudi od prejšnjih stanj vhodov
- Pomnilniška vezja si zapomnijo stanja
- Prejšnja stanja običajno označimo kot **notranja stanja**, ki odražajo prejšnja stanja vhodov



Primer: 3-bitni števec



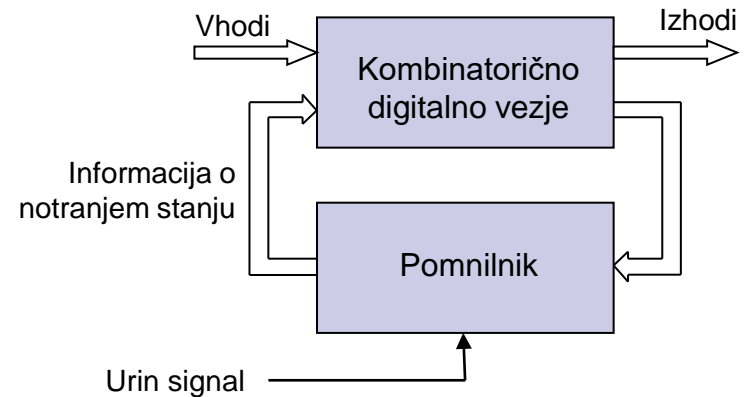
Primer: 3-bitni števec - Logisim





■ Pomnilniška (sekvenčna) vezja:

- Flip-flop – enobitna pomnilniška celica
- Register
- Števec
- Pomnilnik



■ Pomnilniška (sekvenčna) digitalna vezja so lahko:

- **Asinhronska** - stanje vezja se spremeni „takoj“ ob spremembi vhodnih signalov.
- **Sinhronska** - stanje vezja se v odvisnosti od vhodnih signalov lahko spremeni samo ob fronti urinega signala.

■ CPE je zgrajena iz

- kombinatoričnih in
- sinhronskih (sekvenčnih) pomnilniških digitalnih vezij.

■ Trenutno stanje vseh pomnilniških vezij predstavlja **stanje CPE**.



- Delovanje CPE je v vsakem trenutku odvisno od trenutnega stanja vhodov v CPE in od trenutnega stanja CPE.
- Število vseh možnih notranjih stanj CPE je odvisno od velikosti (zmogljivosti) CPE.
- Število bitov, s katerimi so predstavljena notranja stanja CPE, je od nekaj 10 pa do 10.000 ali tudi več.
- Digitalna vezja iz katerih je narejena CPE so danes običajno na enem čipu.



- Delovanje CPE v von Neumannovem računalniku smo opisali z dvema korakoma:
 - 1. Jemanje ukaza iz pomnilnika (ukazno-prevzemni cikel), naslov ukaza je v programskem števcu (PC)
 - 2. Izvrševanje prevzetega ukaza (izvršilni cikel),

- Vsako od teh dveh glavnih korakov lahko razdelimo še na bolj enostavne podoperacije („elementarne“ korake) ->



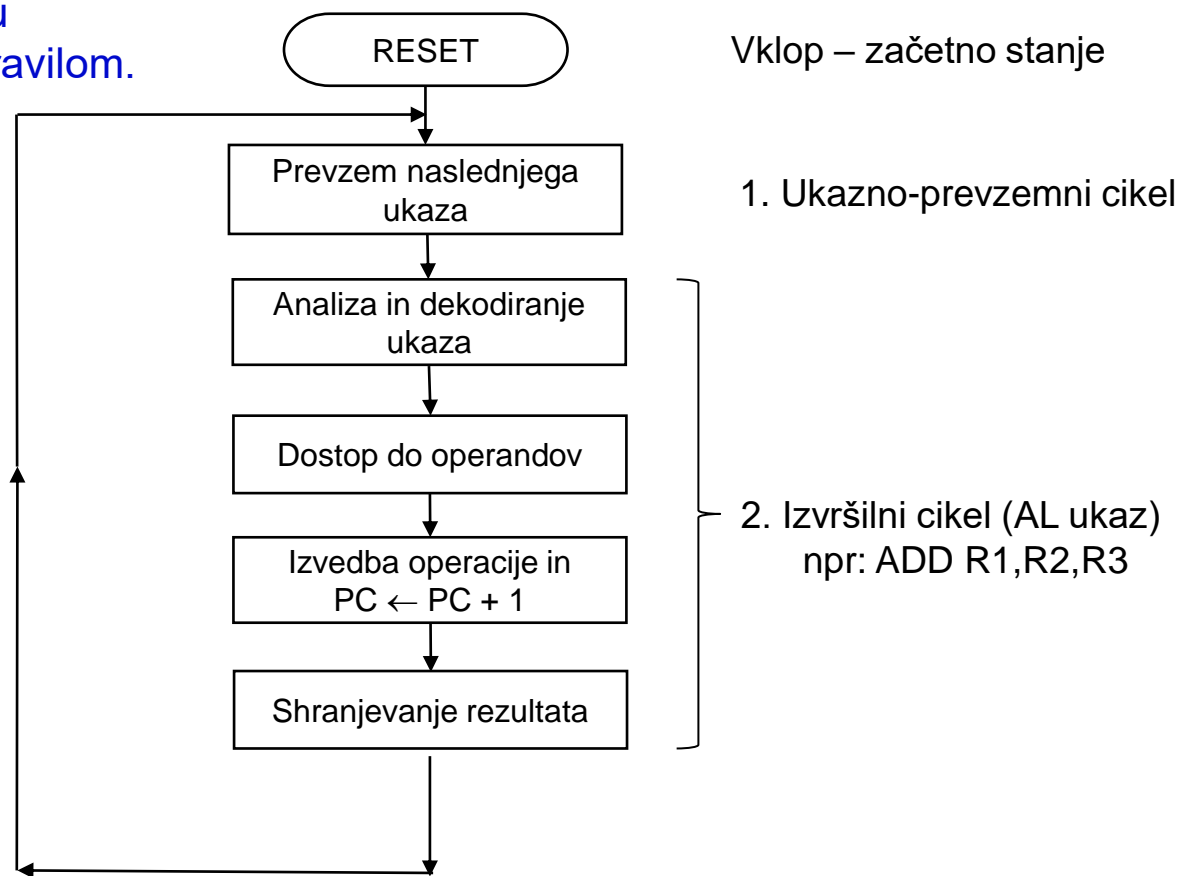
- Delovanje CPE v von Neumannovem računalniku smo opisali z dvema korakoma:
 - 1. Jemanje ukaza iz pomnilnika (ukazno-prevzemni cikel), naslov ukaza je v programskem števcu (PC)
 - 2. Izvrševanje prevzetega ukaza (izvršilni cikel), ki ga lahko razdelimo na več podoperacij:
 - Analiza (dekodiranje) ukaza
 - Prenos operandov v CPE (če niso že v registrih v CPE)
 - Izvedba z ukazom določene operacije
 - $PC \leftarrow PC + 1$ ali $PC \leftarrow$ ciljni naslov pri skočnih ukazih
 - Shranjevanje rezultata (če je potrebno)

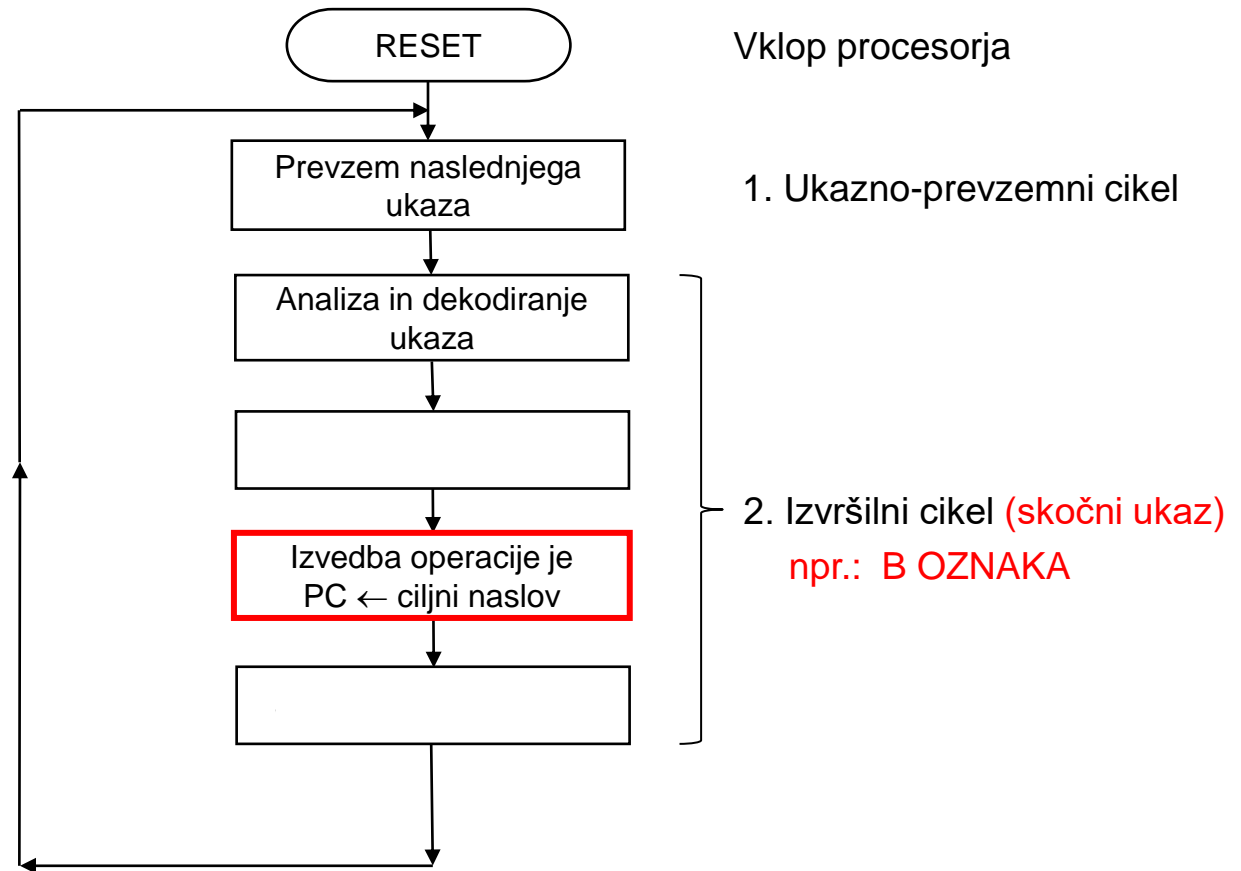


Centralna procesna enota

Naslov prvega ukaza po vklopu (RESET) je določen z nekim pravilom.

Po zaključku 2. koraka prične CPE zopet s 1. korakom, kar se ponavlja, dokler CPE deluje.

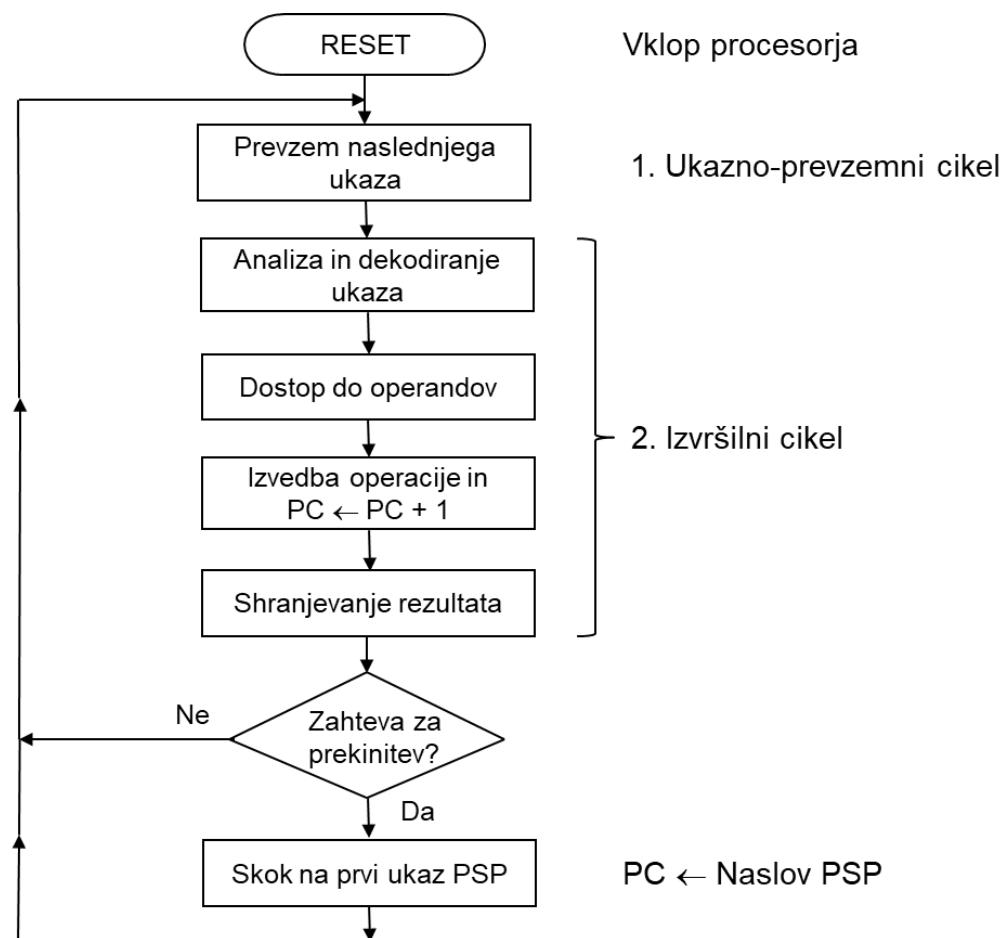






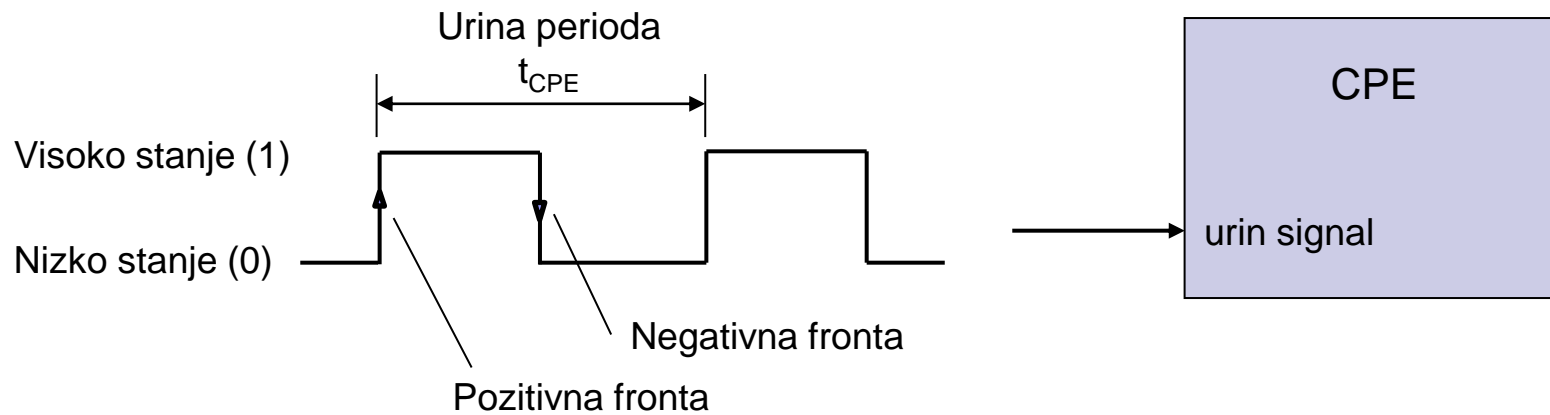
Centralna procesna enota

- Naslov prvega ukaza po vklopu (RESET) je določen z nekim pravilom.
- Po zaključku 2. koraka prične CPE zopet s 1. korakom, kar se ponavlja, dokler CPE deluje.
- Izjema je, kadar pride do prekinitve ali pasti.
- Takrat se namesto prevzema naslednjega ukaza izvrši skok na ukaz, katerega naslov je določen z načinom delovanja prekinitvev (PSP).





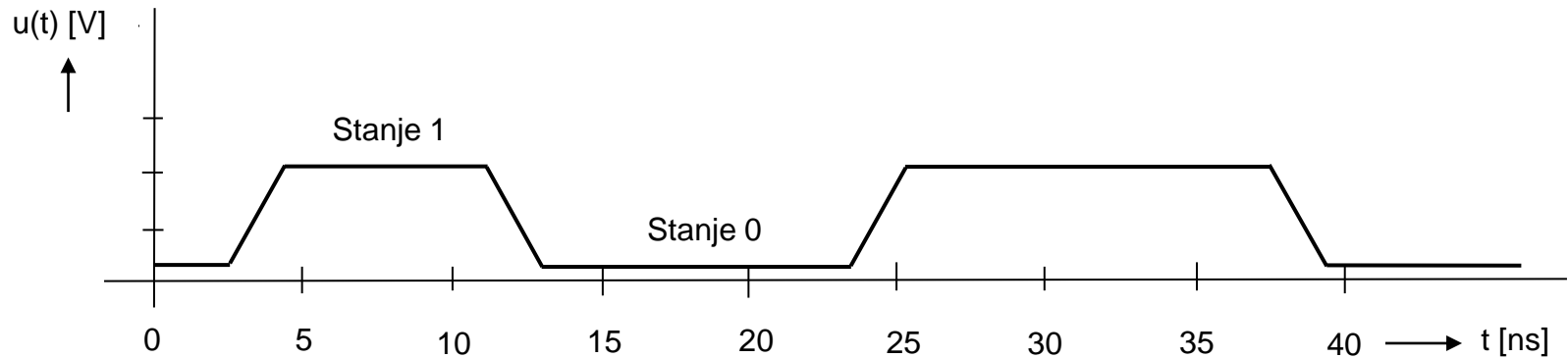
- Vsak od teh korakov je sestavljen iz bolj elementarnih korakov in realizacija CPE je realizacija teh elementarnih korakov.
- Vsak elementarni korak se opravi v eni ali več periodah urinega signala – CPE ure.



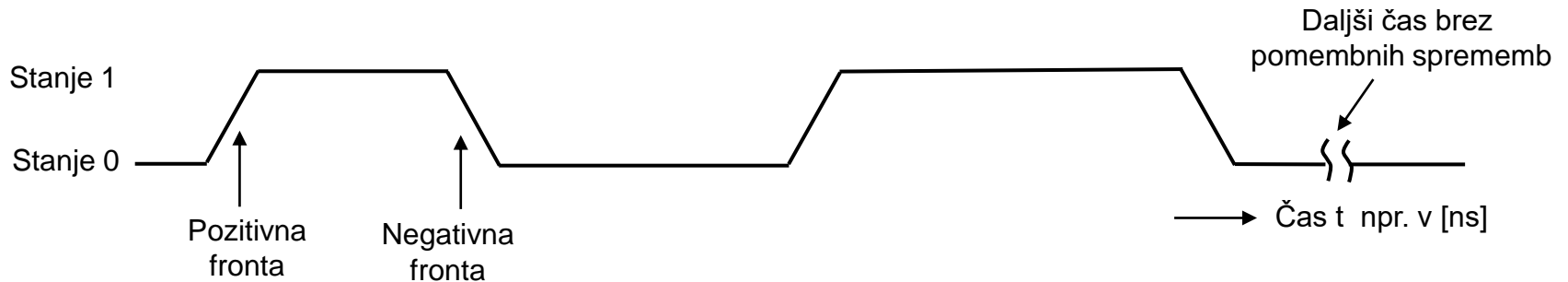


Časovni diagram signala

Poljuben (neperiodičen) digitalni električni signal

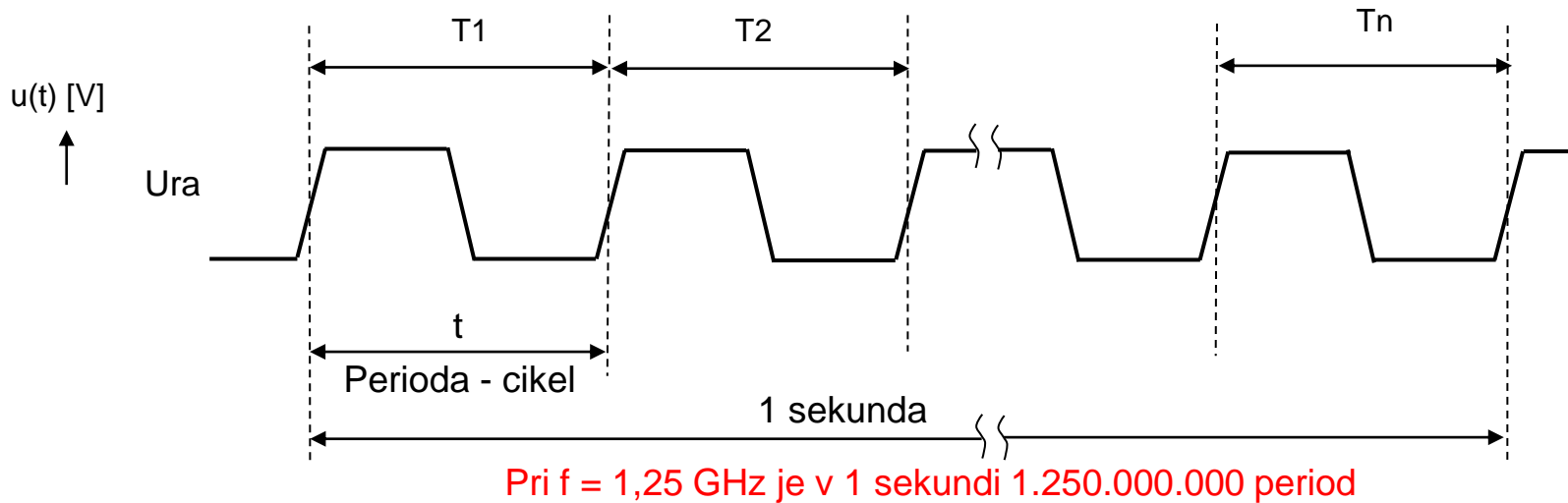


Poljuben (neperiodičen) digitalni signal – logična predstavitev





Urin signal - periodičen pravokoten signal



Frekvenca periodičnega signala f = število period (ciklov) v 1 sekundi

Enota za frekvenco je Hertz [Hz] : $1 \text{ Hz} = 1 [\text{perioda/s}] = 1[1/\text{s}] = 1[\text{s}^{-1}]$

Čas trajanja ene periode $t = 1 / f$

$$f = 1,25[\text{GHz}] \Rightarrow t = \frac{1}{f} = \frac{1}{1,25 * 10^9 [1/\text{s}]} = \frac{1}{1,25} * 10^{-9} [\text{s}] = 0,8 * 10^{-9} [\text{s}] = 0,8[\text{ns}]$$

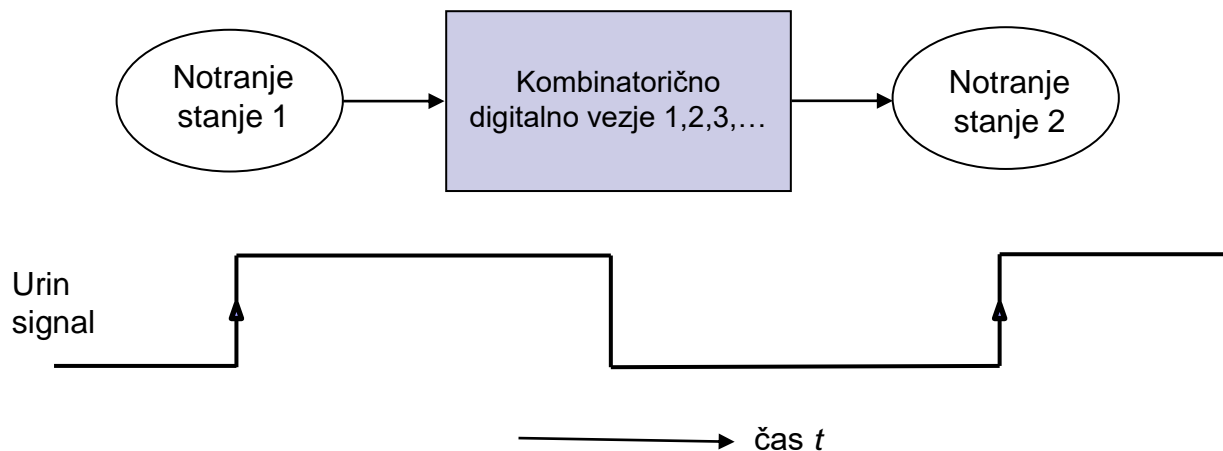
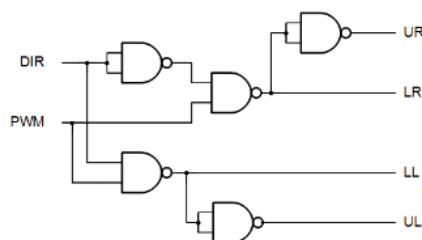


- Stanje CPE se, tako kot stanja vseh sinhronskih digitalnih vezij, spreminja samo ob fronti urinega signala (prehodu urinega signala iz enega v drugo stanje).
- Fronto ob kateri se dogajajo spremembe v CPE imenujemo **aktivna fronta**.
- CPE je lahko narejena tudi tako, da spreminja stanje ob pozitivni in negativni fronti, to pomeni, da sta aktivni obe fronti. V eni urini periodi se tako lahko izvršita dve spremembi stanja CPE.

Zakaj je urin signal sploh potreben ? 2 vidika ->

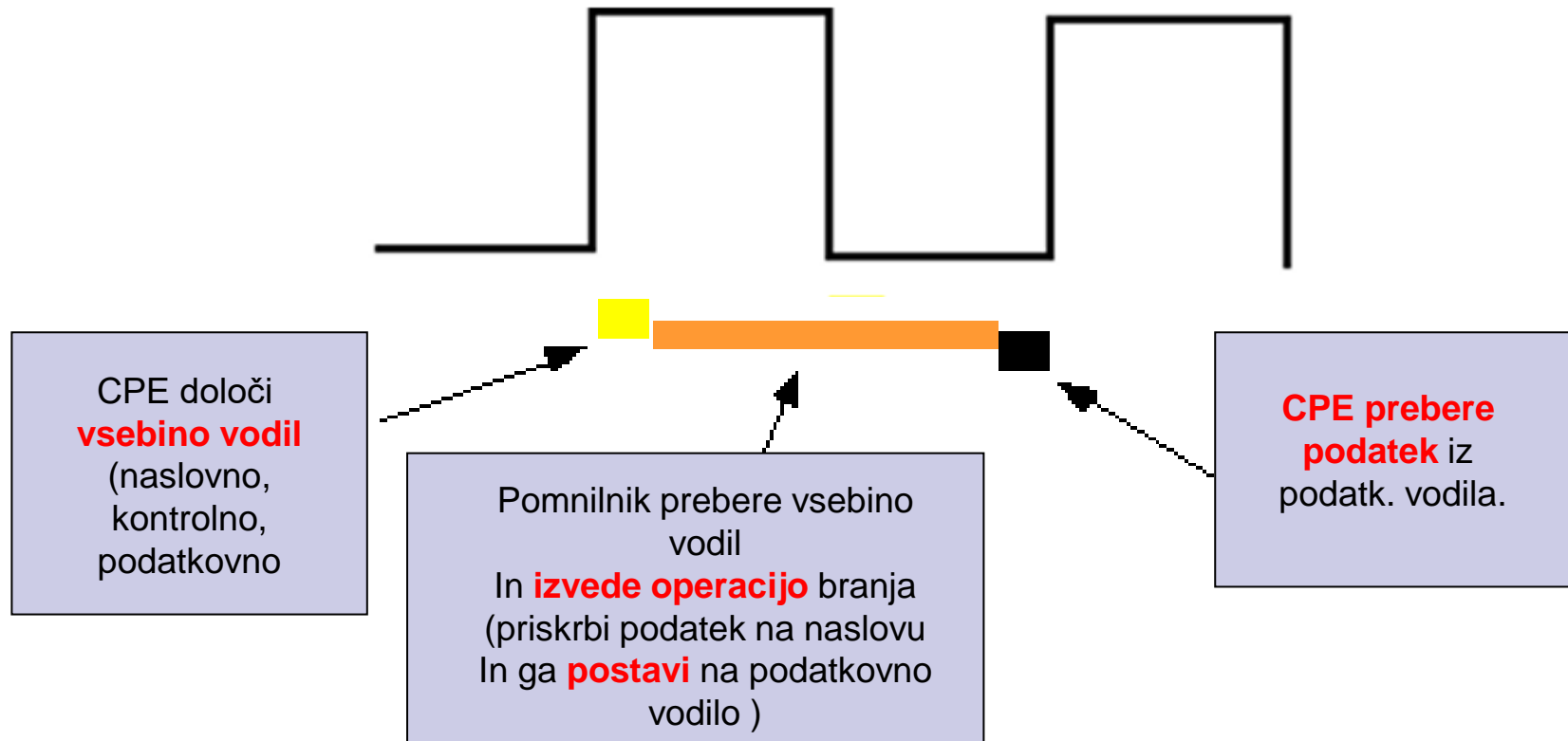


- **Urin signal -> sinhronizacija različno hitrih komb. vezij v računalniku**
 - V sinhronskem pomnilniškem digitalnem sistemu urin signal (običajno fronta) določa trenutek spremembe notranjega stanja v pomnilniškem digitalnem vezju.
 - Ko vhodni signali v pomnilniško vezje postanejo stabilni, se ob urini fronti lahko spremeni notranje stanje pomnilniškega vezja.





- Urin signal -> sinhronizacija različno hitrih operacij v računalniku
 - Primer dostopa do pomnilnika v 1 urinem ciklu (branje) :



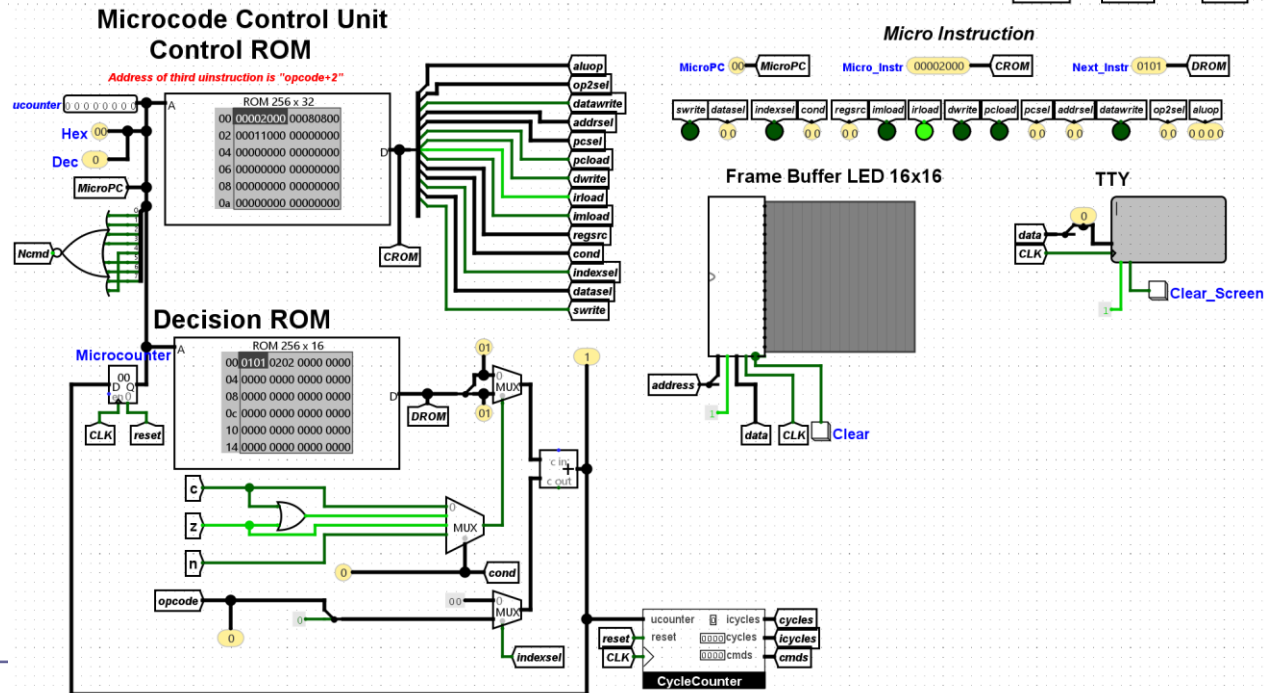
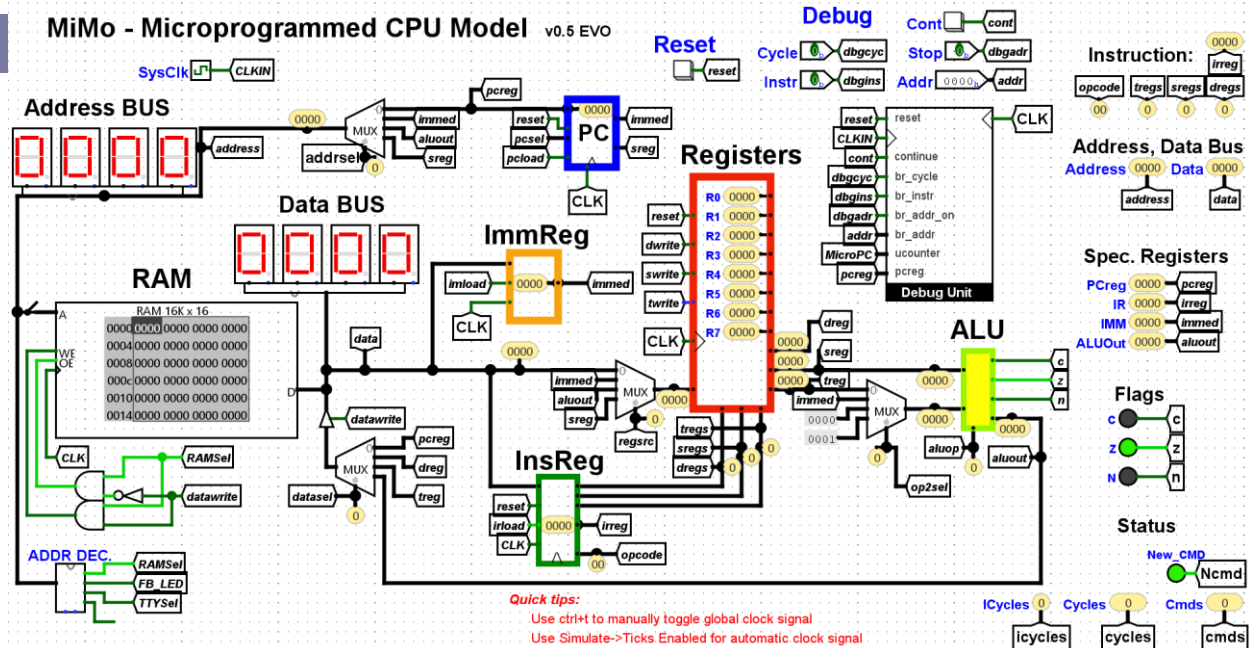


- Stanje CPE se spreminja ob frontah notranje ure. Krajša urina perioda (višja frekvenca) pomeni hitrejše delovanje CPE.
- Krajšanje urine periode (višanje frekvence) je pogojeno s hitrostjo uporabljenih digitalnih vezij in številom vezij (dolžino povezav) skozi katera potuje signal.
- Najkrajše trajanje elementarnega koraka v CPE je ena urina perioda (ali tudi pol periode, če sta aktivni obe fronti, za kar pa je potrebno bolj komplicirano logično vezje).
- Prezemni in izvršilni cikel trajata vedno celo število urinih period.
- Število urinih period za izvedbo ukaza se med ukazi lahko precej razlikuje.

Primer CPE: MiMo

Model CPE
realiziran z
logičnimi vrati v
Logisimu

MiMo –
Mikroprogramiran
Model CPE
(predmet OR VSP)





Primer CPE: MiMo

Model CPE realiziran z logičnimi vrati v Logisimu

MiMo – Mikro programiran Model CPE

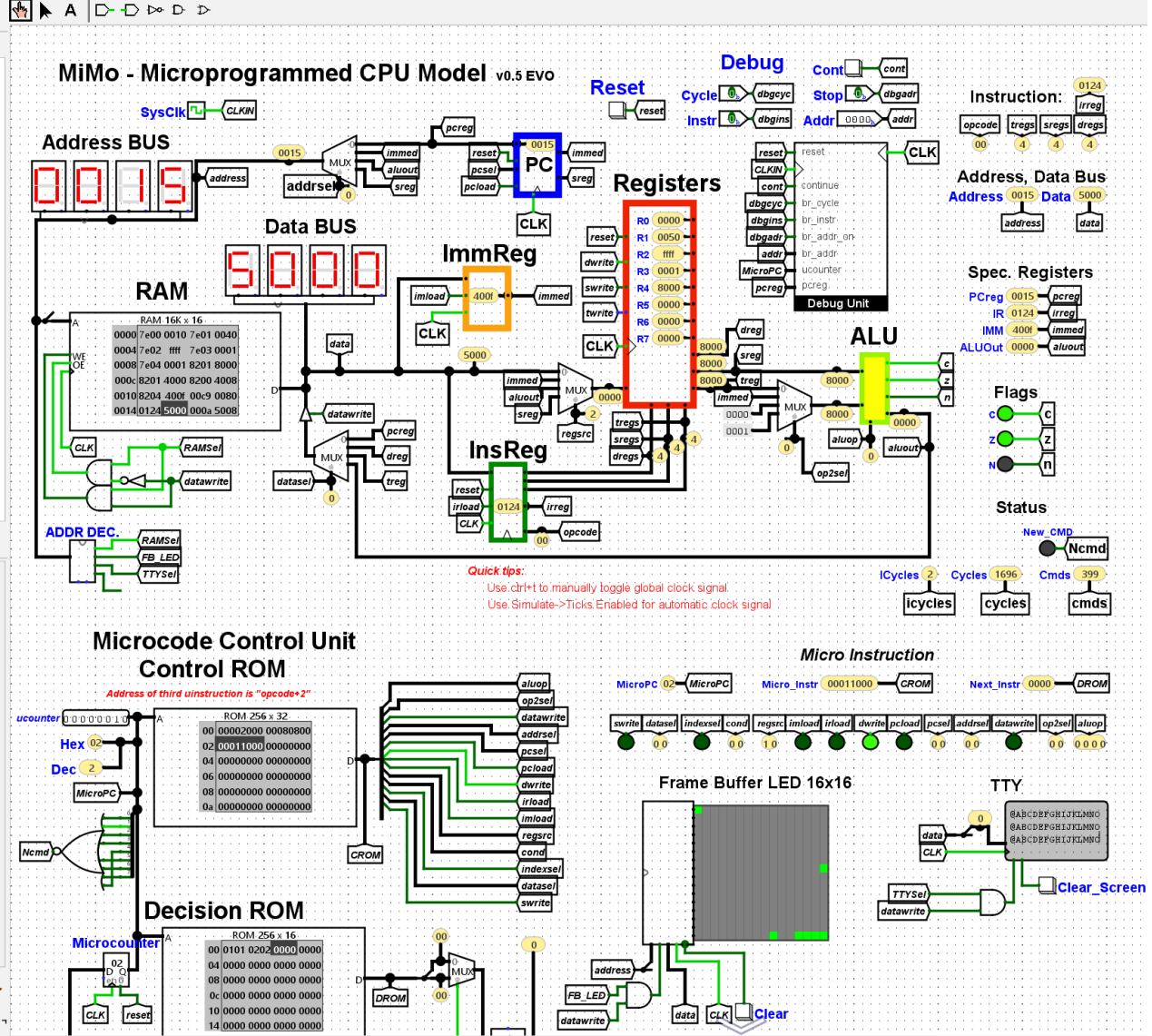
Video

Design Simulate

- VH DL
- *mimo_v05_EVO
 - MiMo_v05
 - InstructionReg
 - Registerfile
 - ALU
 - PC
 - ShowHexa
 - Frame_Buffer_16x16
 - Address_Decoder
 - Counters
 - DebugUnit
 - ImmediateReg
 - Wiring
 - Gates
 - Plexers
 - Arithmetic
 - Memory
 - Input/Output

Properties State

Auto x0,8 x1/4 x1 x2



MiMO – Mikro-programiran Model CPE FPGA realizacija

```

-- Multiplexor into the second ALU input, and first ALU input
alu_a <= sreg;
alu_b <= treg when op2sel="00" else
  immed_out when op2sel="01" else
  x"0000" when op2sel="10" else
  x"0001" when op2sel="11" else
  (others => 'Z');

```

```

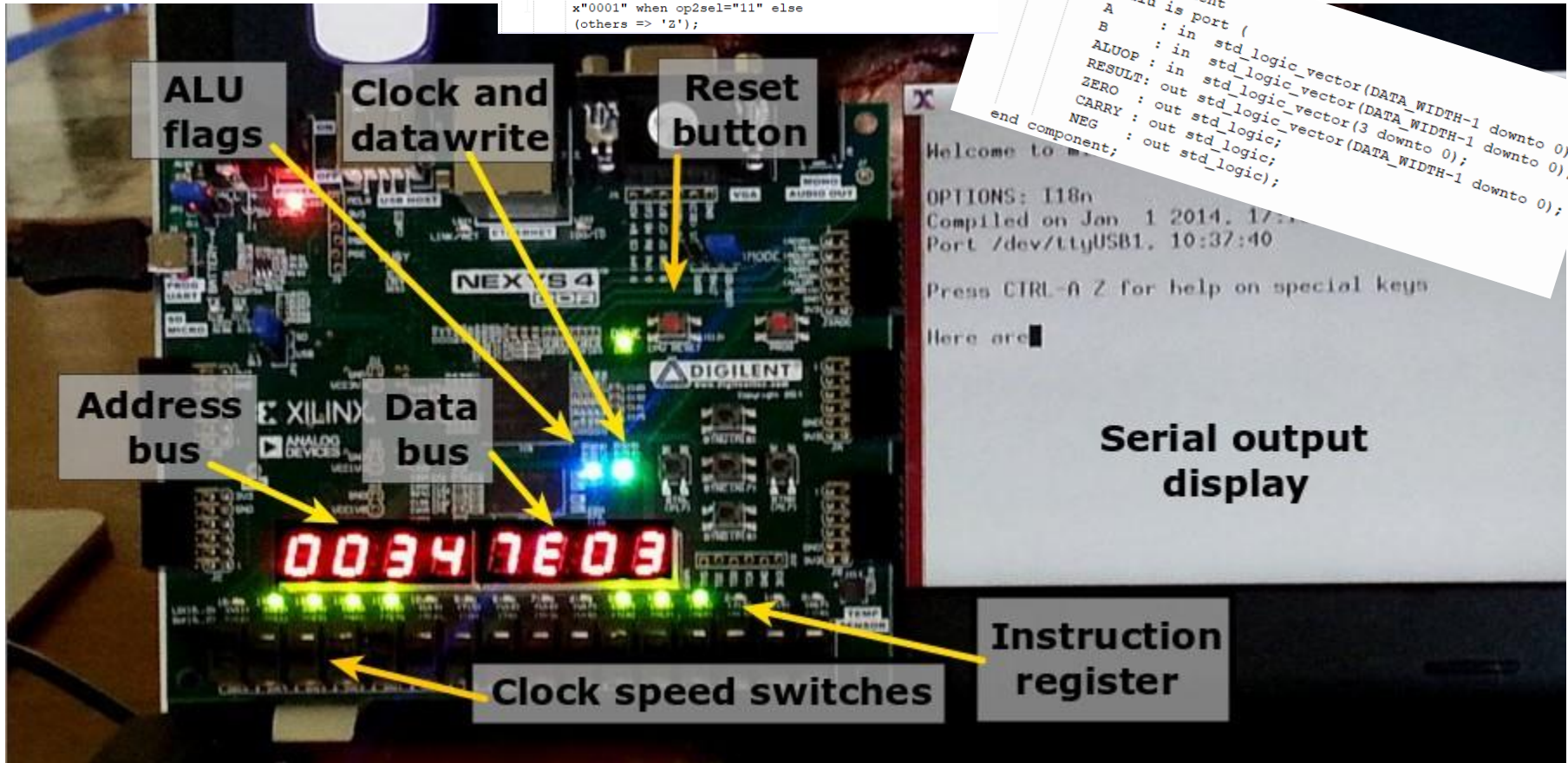
-- The ALU
alunit: alu port map (
  A => alu_a,
  B => alu_b,
  ALUOP => aluop,
  RESULT=> aluout,
  ZERO => zero,
  CARRY => carry,
  NEG => neg
);

```

```

VHDL:
-- The ALU component
component alu is port (
  A : in std_logic_vector (
  B : in std_logic_vector (DATA_WIDTH-1 downto 0);
  ALUOP : in std_logic_vector (DATA_WIDTH-1 downto 0);
  RESULT: out std_logic_vector (DATA_WIDTH-1 downto 0);
  ZERO : out std_logic_vector (3 downto 0);
  CARRY : out std_logic;
  NEG : out std_logic;
end component;

```



```

Welcome to
OPTIONS: 118n
Compiled on Jan 1 2014, 17:
Port /dev/ttyUSB1, 10:37:40

Press CTRL-A Z for help on special keys

Here are

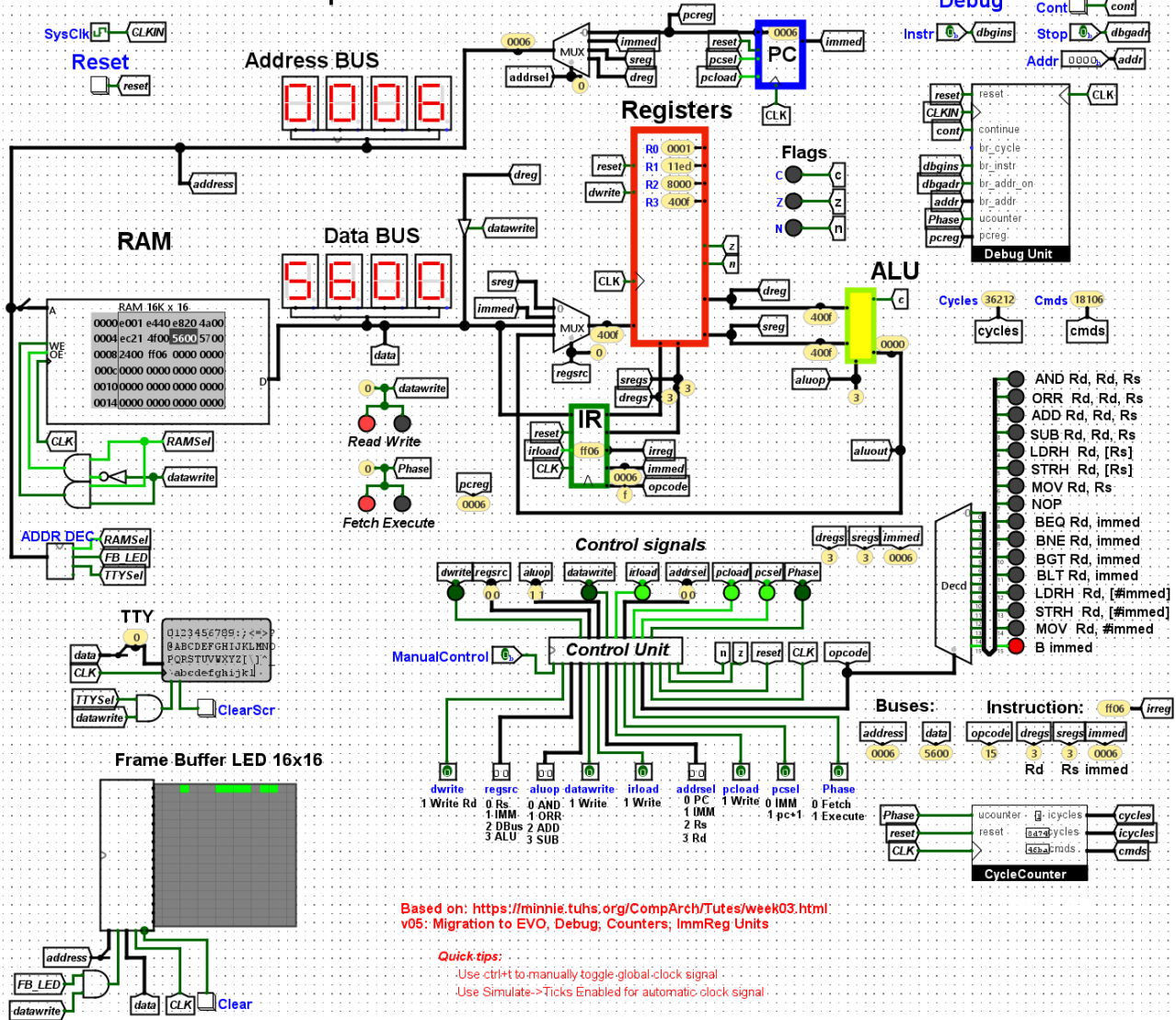
```

Primer CPE: Mini MiMo (predmet RA VSP)

Model CPE realiziran
z logičnimi vrati v
Logisimu

Mini MiMo –
Enostaven trdoožičen
Model CPE
(16 ukazov, zbirnik v
Excelu, ...)

Mini MiMo - Hardwired Simple CPU Model v0.5.EVO



Based on: <https://minnie.tuhs.org/CompArch/Tutes/week03.html>
v05: Migration to EVO, Debug, Counters, ImmReg Units

Quick tips:
 · Use ctrl+t to manually toggle global clock signal.
 · Use Simulate->Ticks Enabled for automatic clock signal.

https://github.com/LAPSyLAB/RALab-STM32H7/tree/main/MiniMiMo_HW_CPE_Model



6.2 Procesor ARM - lastnosti

Veliko več informacij povemo na laboratorijskih vajah

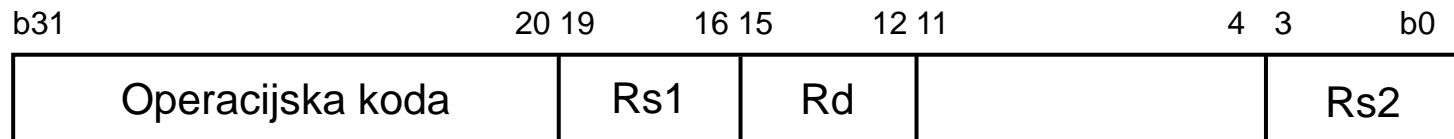
- RISC arhitektura
- 3-operandni registrsko-registrski (load/store) računalnik
 - Dostop do pomnilniških operandov je samo z ukazoma LOAD in STORE
- 32-bitni računalnik (FRI-SMS, ARM9, arhitektura ARMv5)
 - 32-bitni pomnilniški naslov
 - 32-bitno podatkovno vodilo
 - 32-bitni registri
 - 32-bitna ALE
- 16 splošno namenskih 32-bitnih registrov
- Dolžine pomnilniških operandov 8, 16 in 32 bitov
- Predznačena števila so predstavljena v dvojiškem komplementu
- Realna števila po standardu IEEE-754 (v primeru FP-enote)



- Sestavljeni pomnilniški operandi so shranjeni po pravilu tankega konca.
- Ukazi in operandi morajo biti v pomnilniku poravnani (shranjeni na naravnih naslovih).
- Vsi ukazi so dolgi 32 bitov (4 bajte).
- ARM uporablja vse tri načine naslavljanja:
 - Takojšnje *ADD r1,r1,#1*
 - Neposredno (registrsko) *ADD r1,r1,r2*
 - Posredno (registrsko)-LOAD/STORE *LDR r1,[r0]*

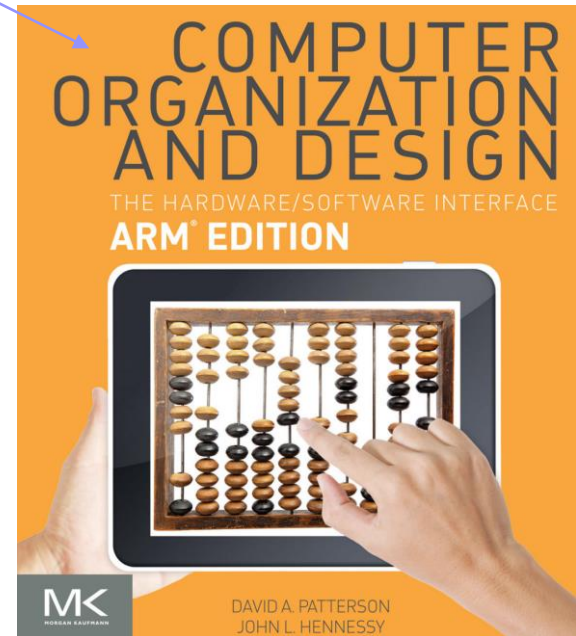


- Ukazi za pogojne skoke uporabljajo PC-relativno naslavljanje.
- Primer formata ALE ukaza:



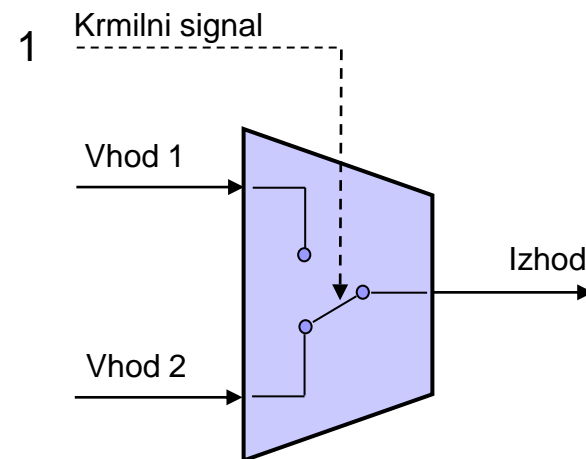
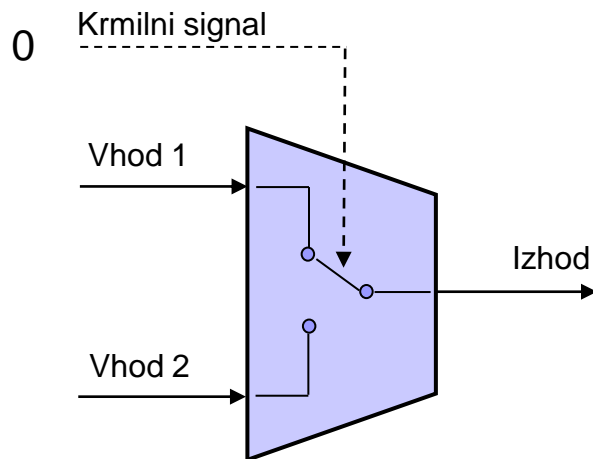
6.3 Zgradba CPE (primer ARM CPE LEGV8)

- Podatkovna enota
 - ALE
 - Programsko dostopni registri
- Kontrolna enota
 - Realizacija
 - mikroprogramska (SW) ali
 - trdoožičena (HW)





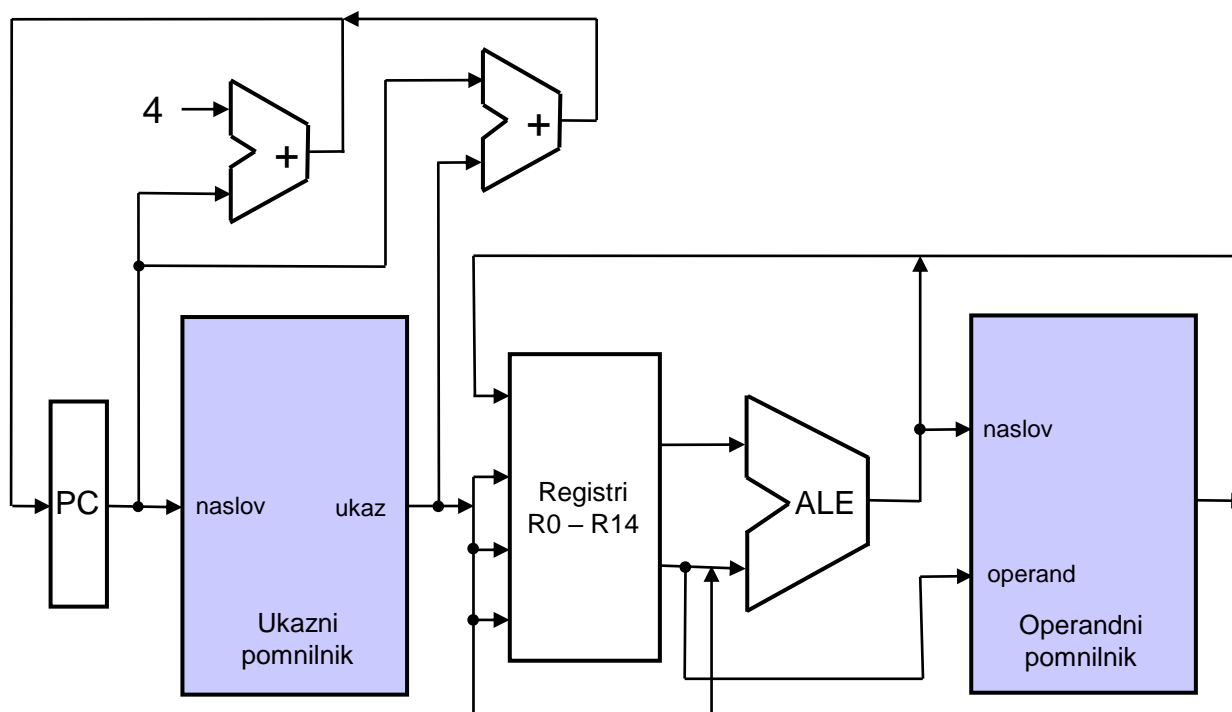
- MUX – Multiplekser: je digitalno vezje, ki iz več vhodnih signalov izbere enega in ga posreduje na izhod.
- Izbiro vhodnega signala določa krmilni signal.





6.3.1 Podatkovna enota

Poenostavljena zgradba CPE s podatkovnimi potmi in ukaznim ter operandnim pomnilnikom

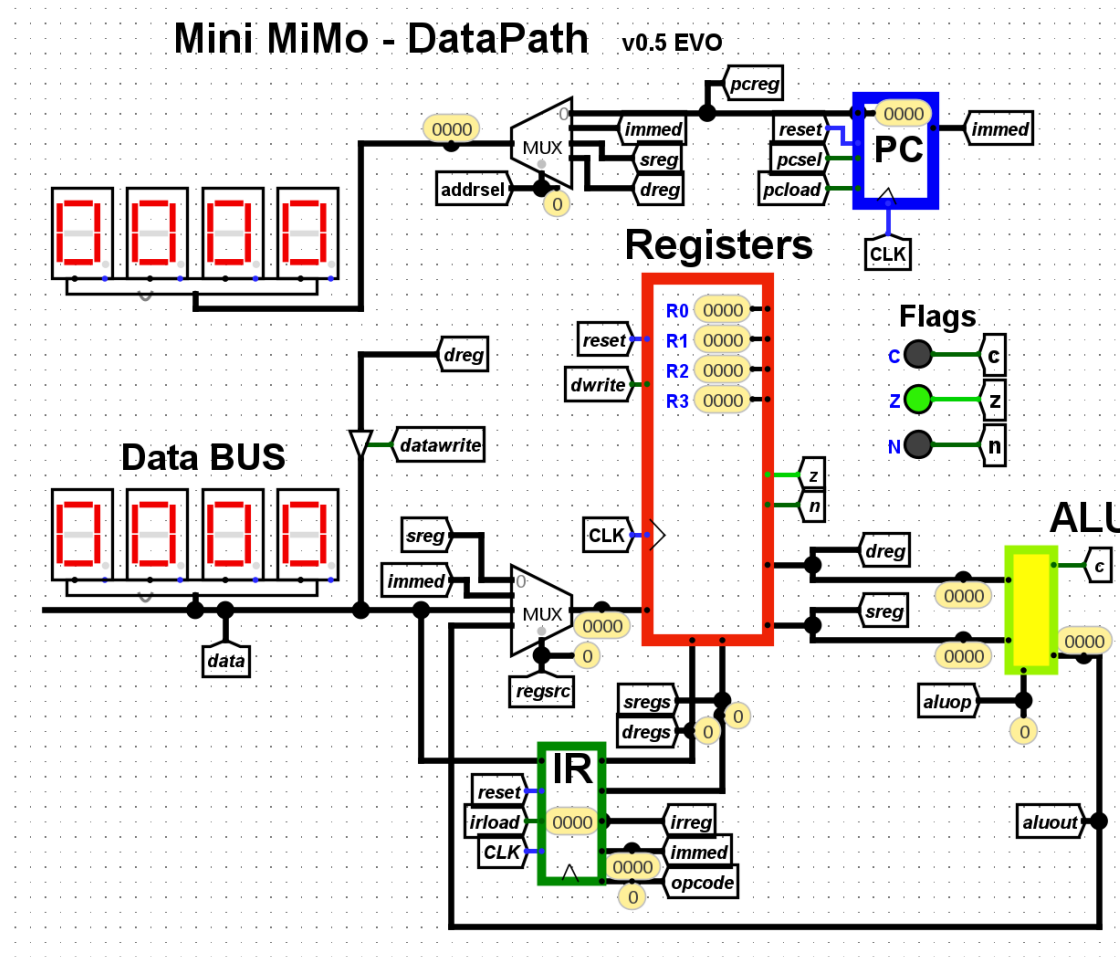


Vse podatkovne poti so M-bitne, puščice nakazujejo smer prenosa



6.3.1 Podatkovna enota

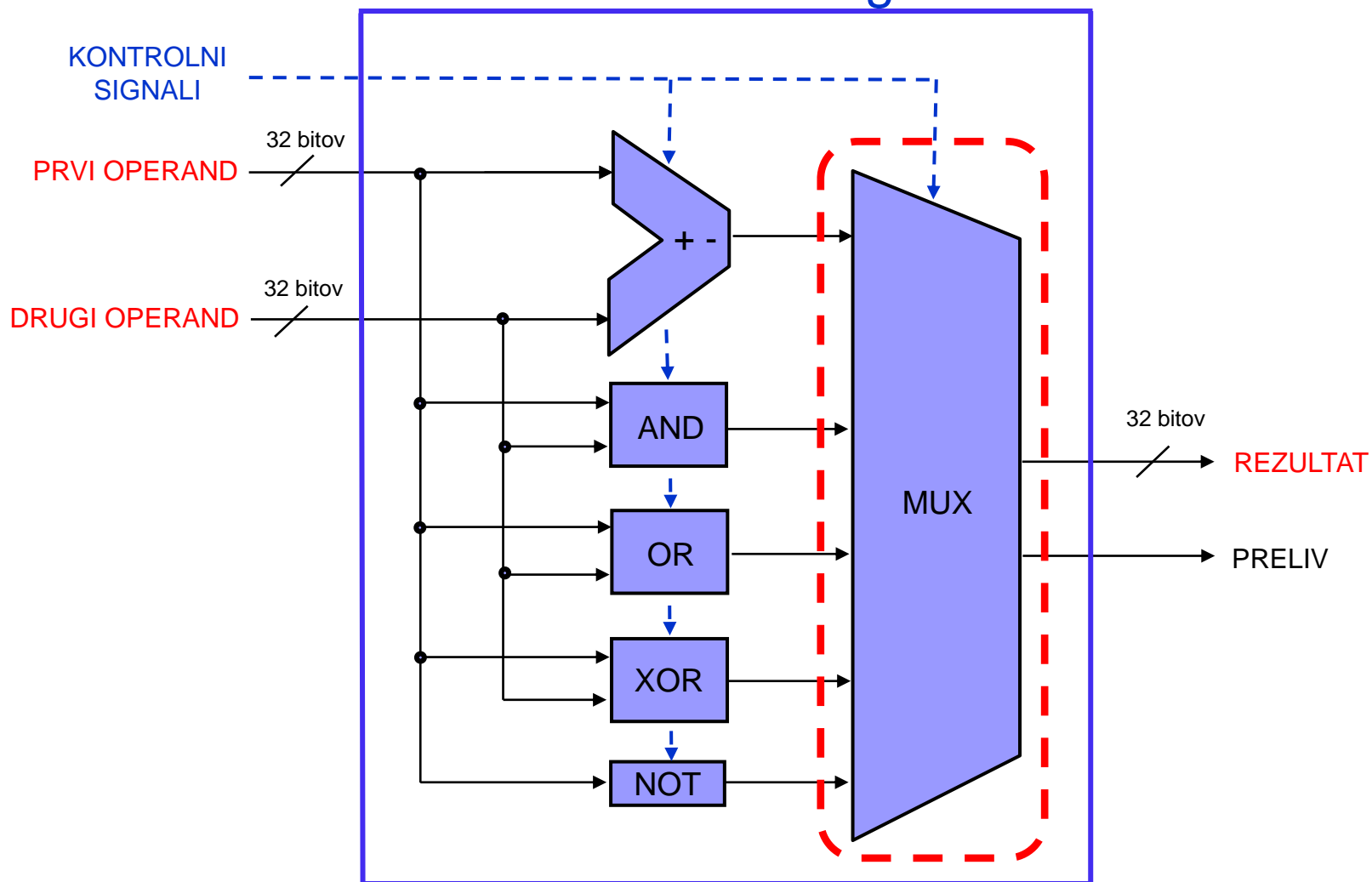
Mini MiMo podatkovna enota



Debelejše povezave so M-bitne

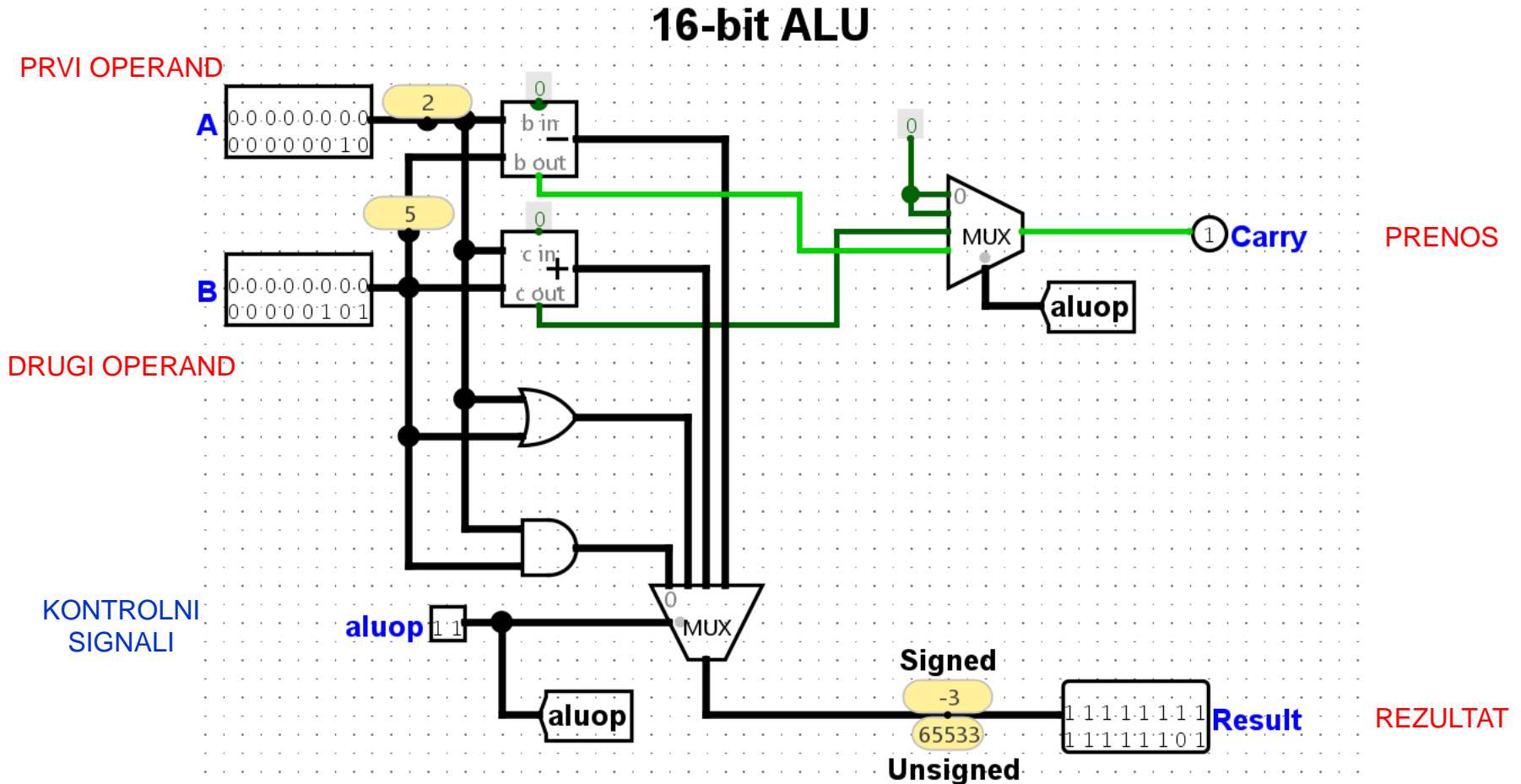


ALE – zgradba s podatkovnimi in kontrolnimi signali



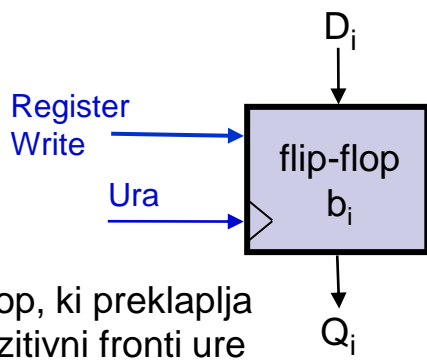
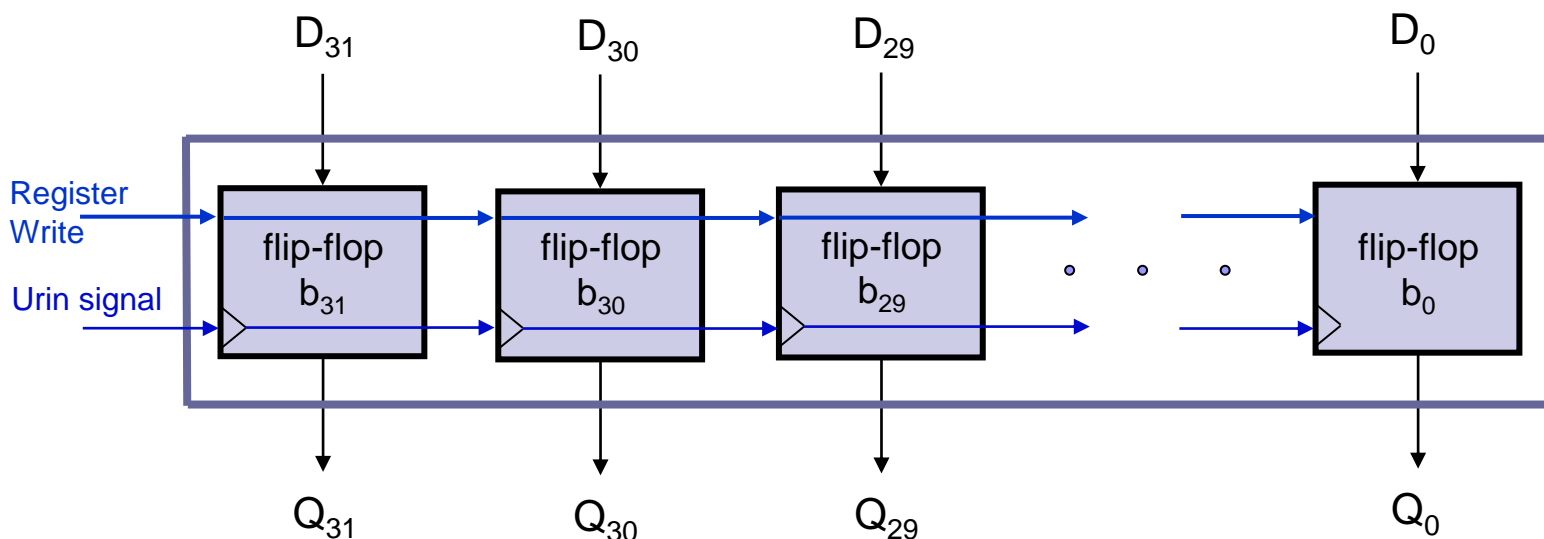


ALE – podatkovni in kontrolni signali primer Mini MiMo CPE



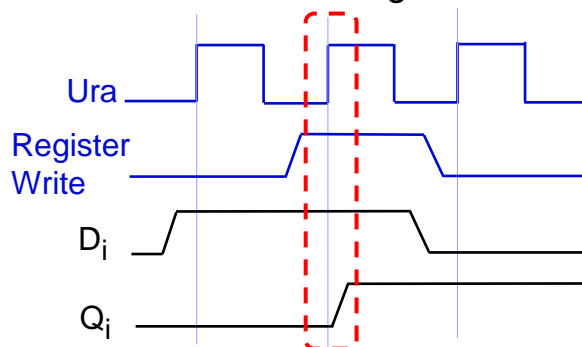


32-bitni register



Flip-flop, ki preklaplja ob pozitivni fronti ure

Časovni diagram

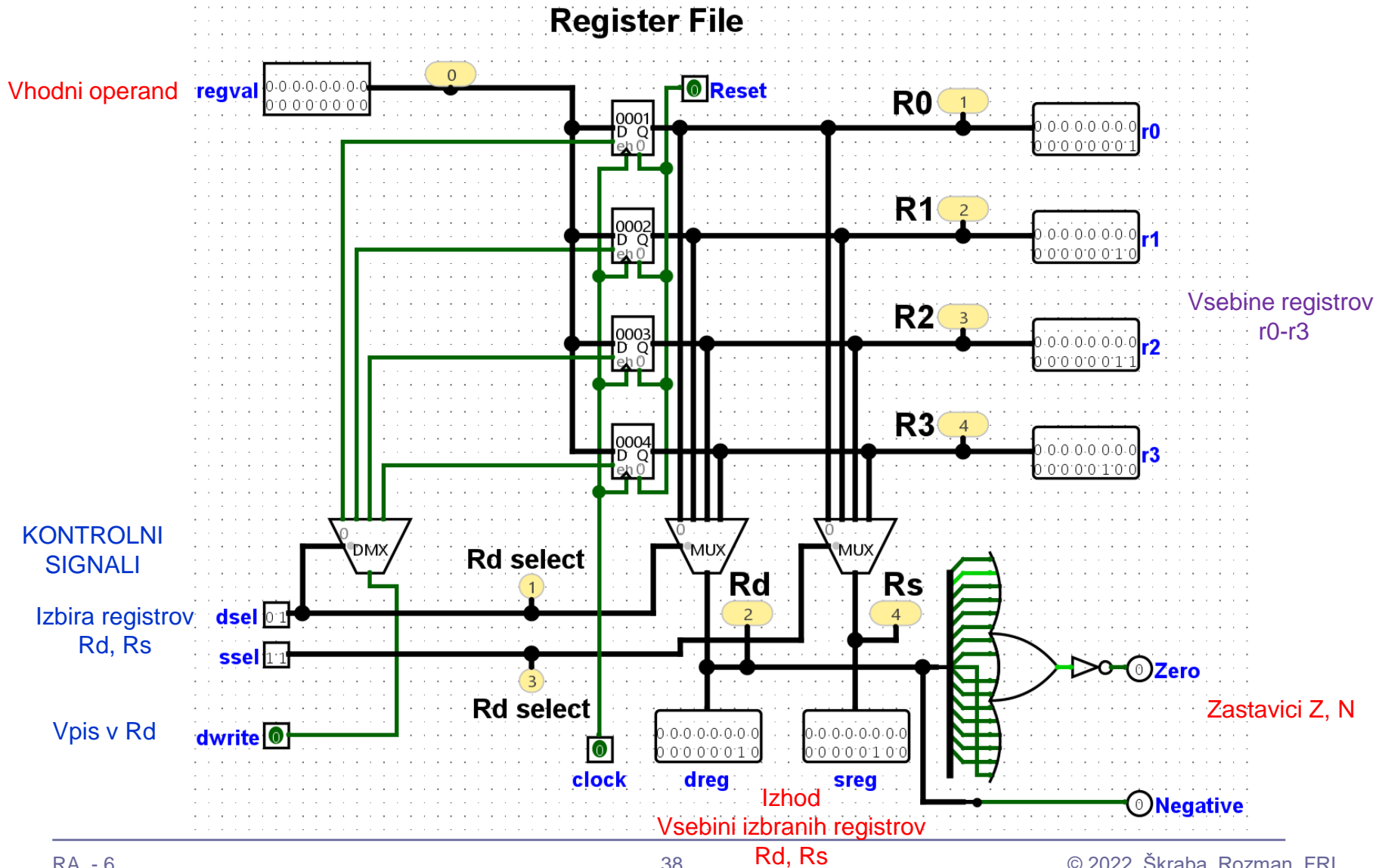


Pravilnostna tabela

Ura	Reg.W	Di	Qi
↑	0	0	Q
↑	0	1	Q
↑	1	0	0
↑	1	1	1



Registrska enota - primer Mini MiMo CPE



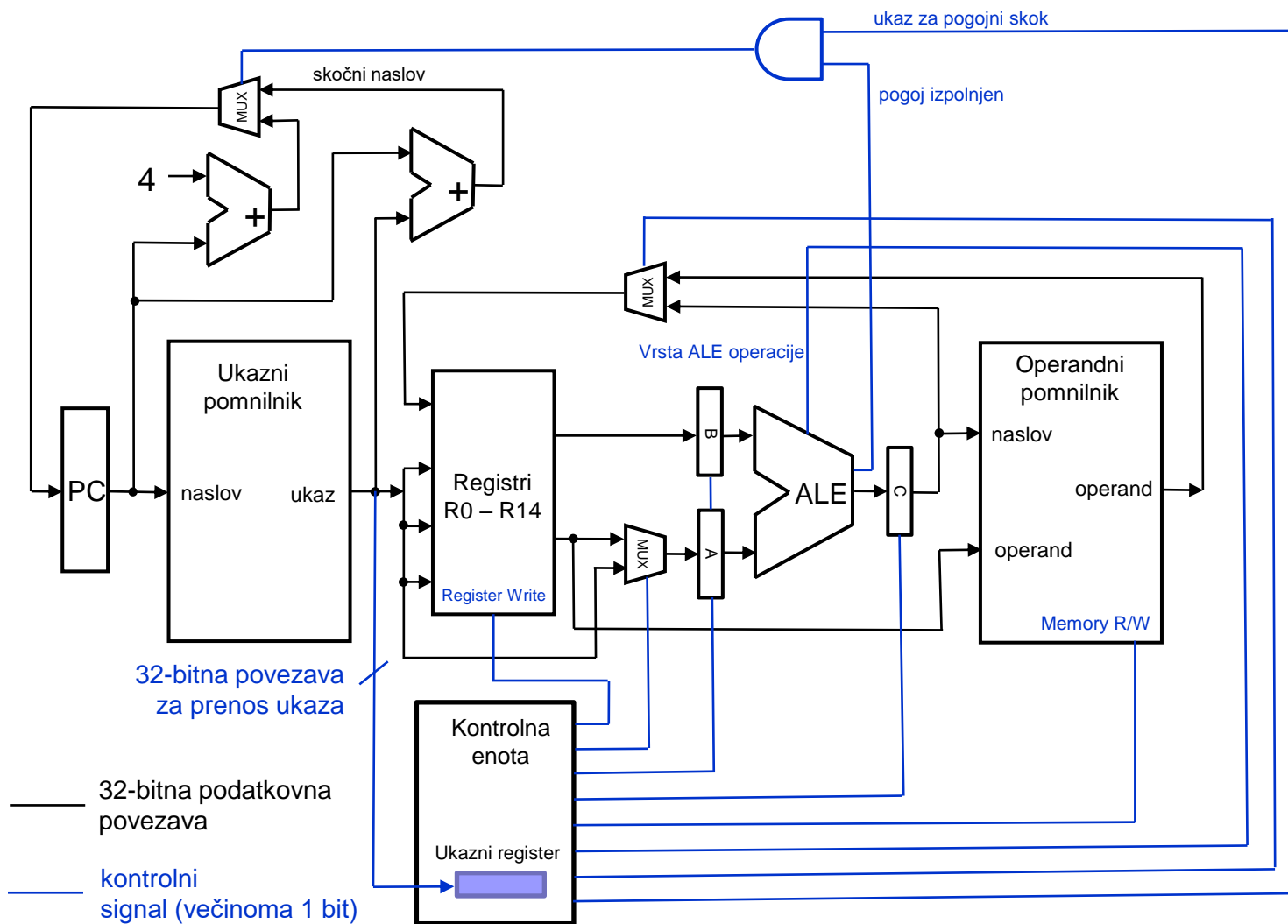


6.3.2 Kontrolna enota

- Digitalno vezje (pomnilniško + kombinatorično), ki na osnovi ukaza v ukaznem registru tvori **kontrolne signale**.
- Kontrolni signali **sprožajo elementarne korake** v podatkovni enoti in s tem izvajanje ukaza.
- IR register = 32-bitni ukazni register v katerega se v ukazno-prezemnem ciklu prenese strojni ukaz iz pomnilnika.
 - IR ... „Instruction Register“
- 2 možna načina realizacije KE:
 - Mikroprogramska (SW: enostavna, počasnejša)
 - Trdoožičena (HW: zapletena, hitrejša)



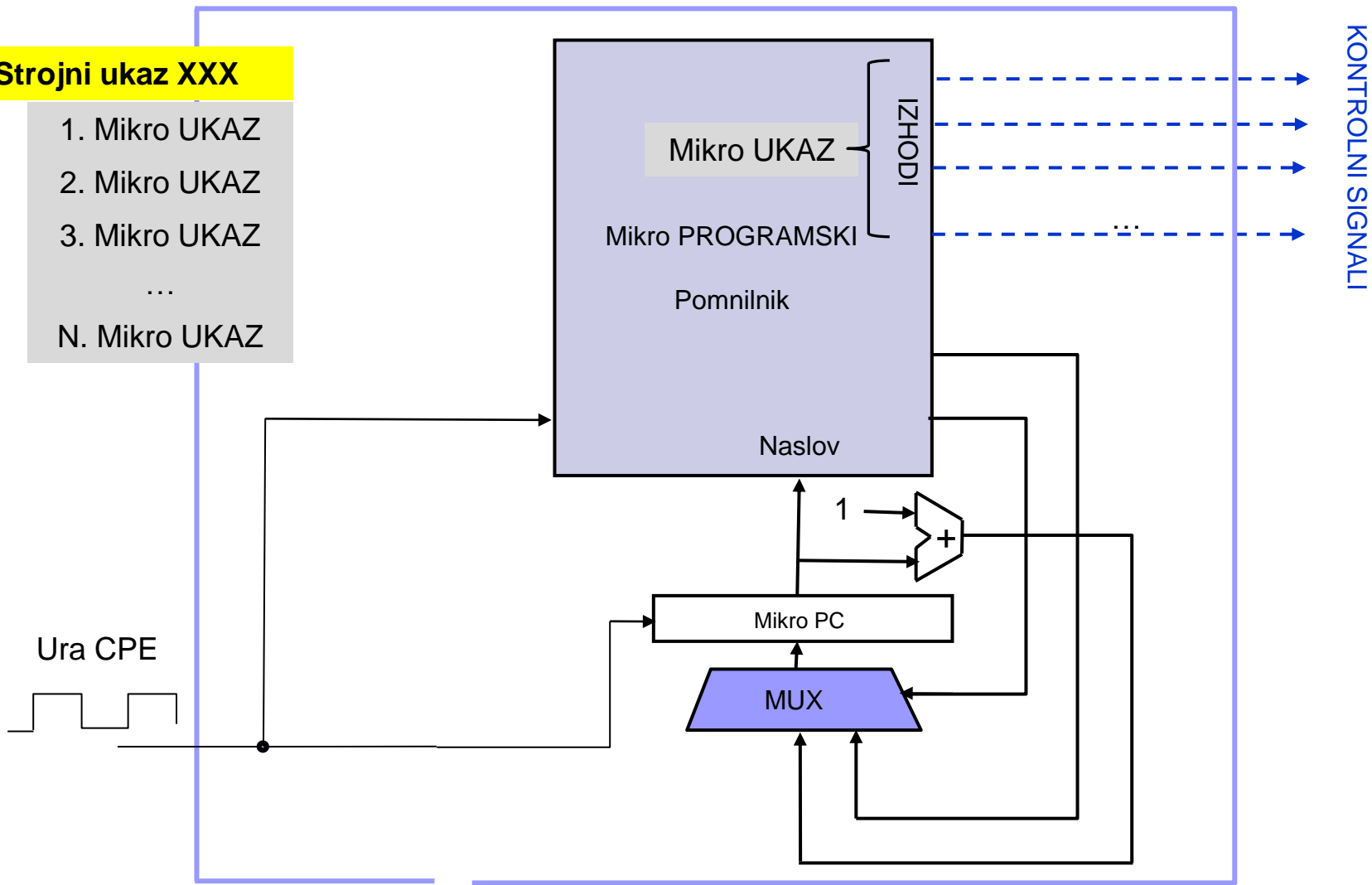
CPE s podatkovno in kontrolno enoto ter kontrolnimi signali



Kontrolna enota (mikroprogramska realizacija – npr. MiMo model)

Strojni ukaz XXX

- 1. Mikro UKAZ
- 2. Mikro UKAZ
- 3. Mikro UKAZ
- ...
- N. Mikro UKAZ





Kontrolna enota (mikroprogramska realizacija – npr. MiMo model)

Primer mikroprograma za ukaz :

JNEZ Rs,immed

Strojni ukaz XXX

JNEZ Rs,immed:

1. Mikro UKAZ

fetch:

addrsel=pc irload=1

2. Mikro UKAZ

pcload=1 pcsel=pc, opcode jump

3. Mikro UKAZ

40:

addrsel=pc imload=1

...

aluop=sub op2sel=const0, if z then pcincr else jump

N. Mikro UKAZ

pcincr:

pcload=1 pcsel=pc, goto fetch

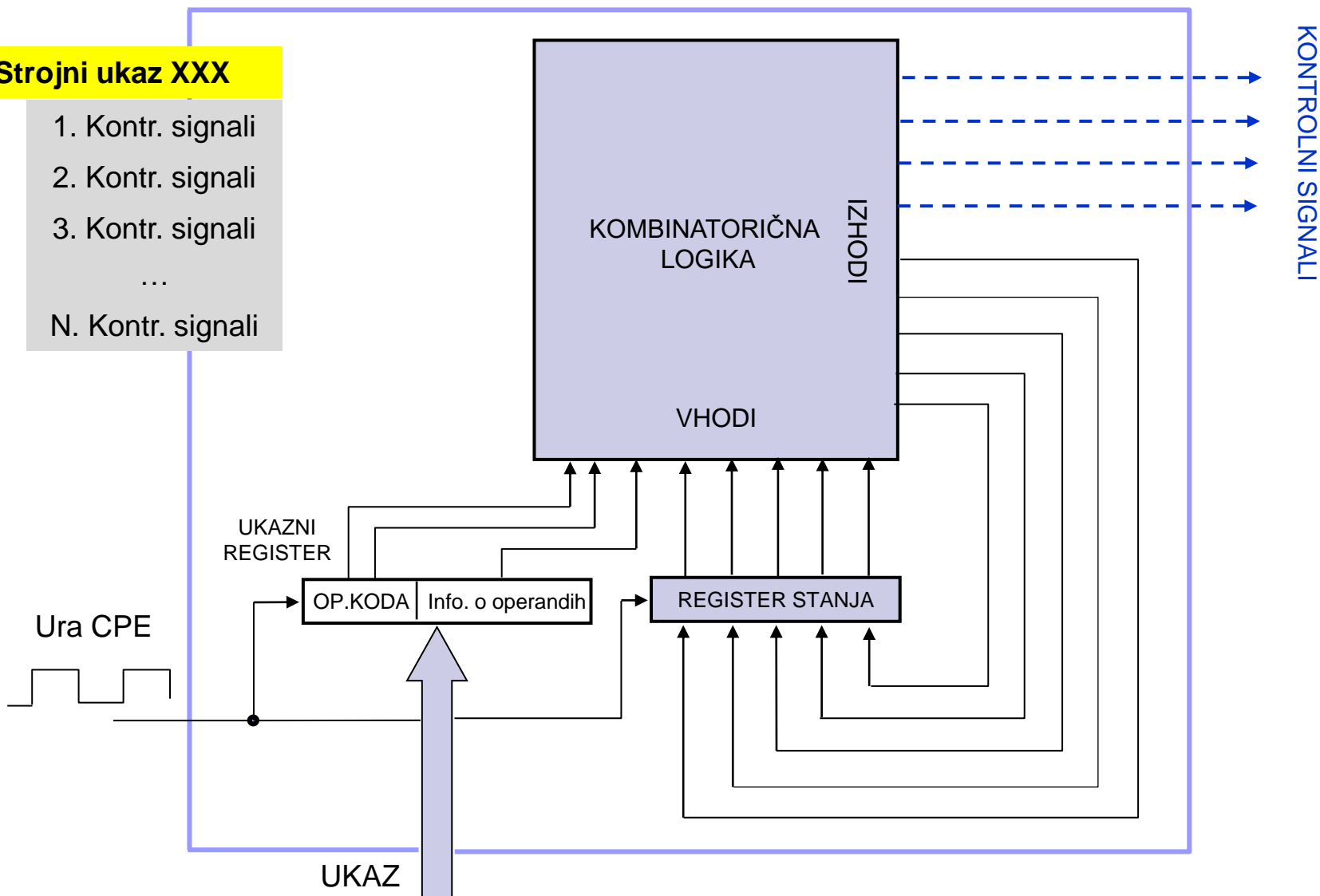
jump:

pcload=1 pcsel=immed, goto fetch

Kontrolna enota (trdo ožičena)

Strojni ukaz XXX

1. Kontr. signali
2. Kontr. signali
3. Kontr. signali
- ...
- N. Kontr. signali





Kontrolna enota (trdo ožičena) : primer Mini Mimo

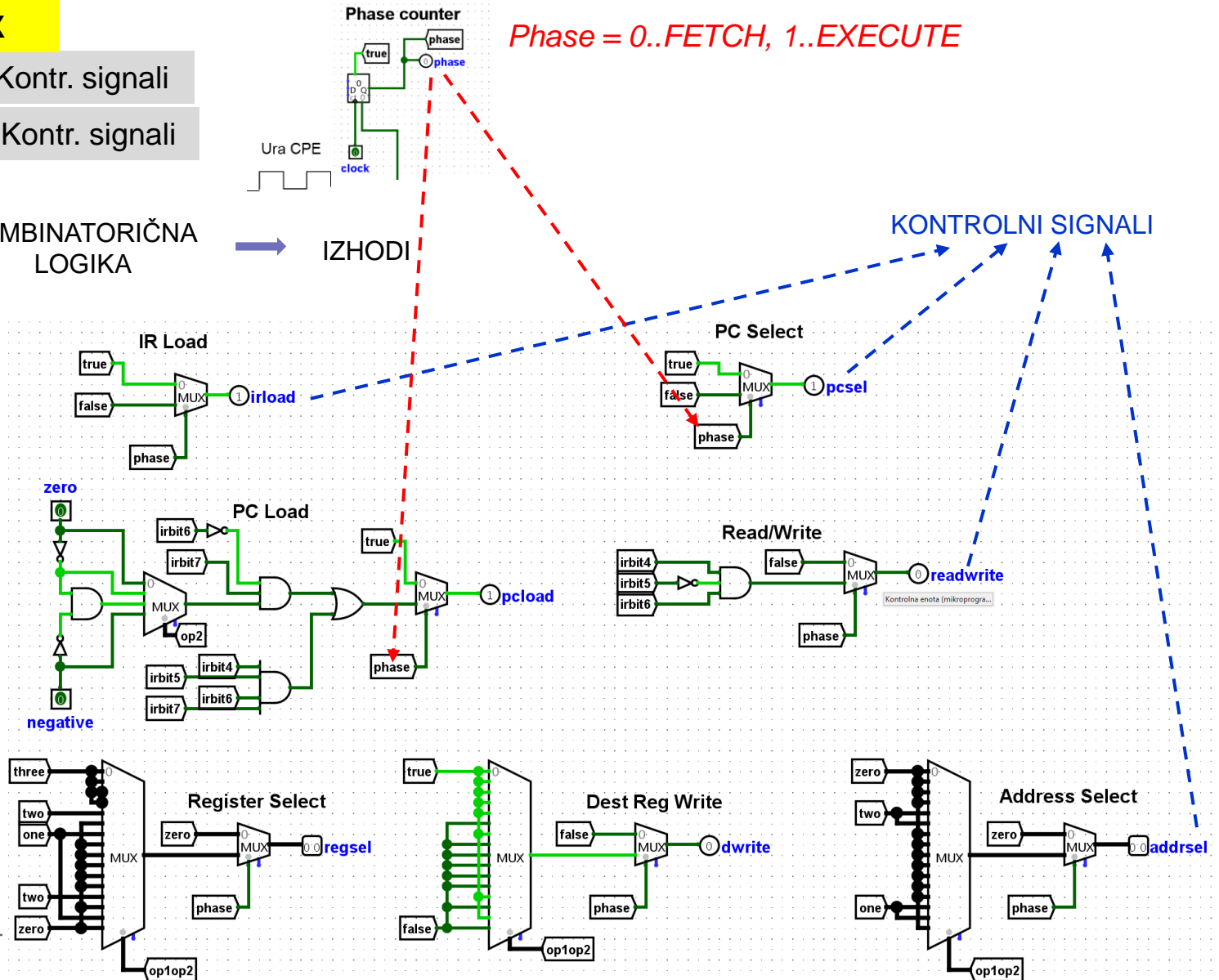
Strojni ukaz XXX

1. FETCH - Kontr. signali
2. EXECUTE - Kontr. signali

Phase = 0..FETCH, 1..EXECUTE

VHODI → KOMBINATORIČNA LOGIKA → IZHODI

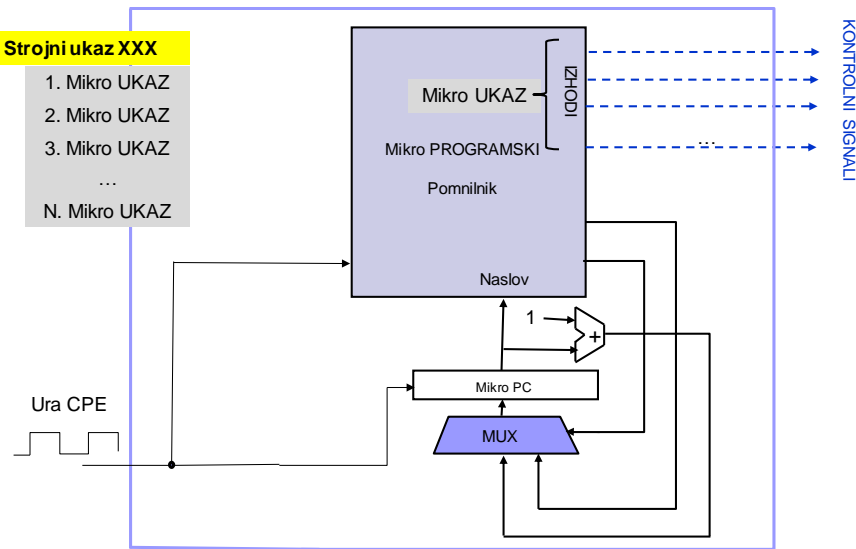
KONTROLNI SIGNALI





Primerjava izvedb KE (navzven enaki, razlika v delovanju)

Kontrolna enota (mikroprogramska)

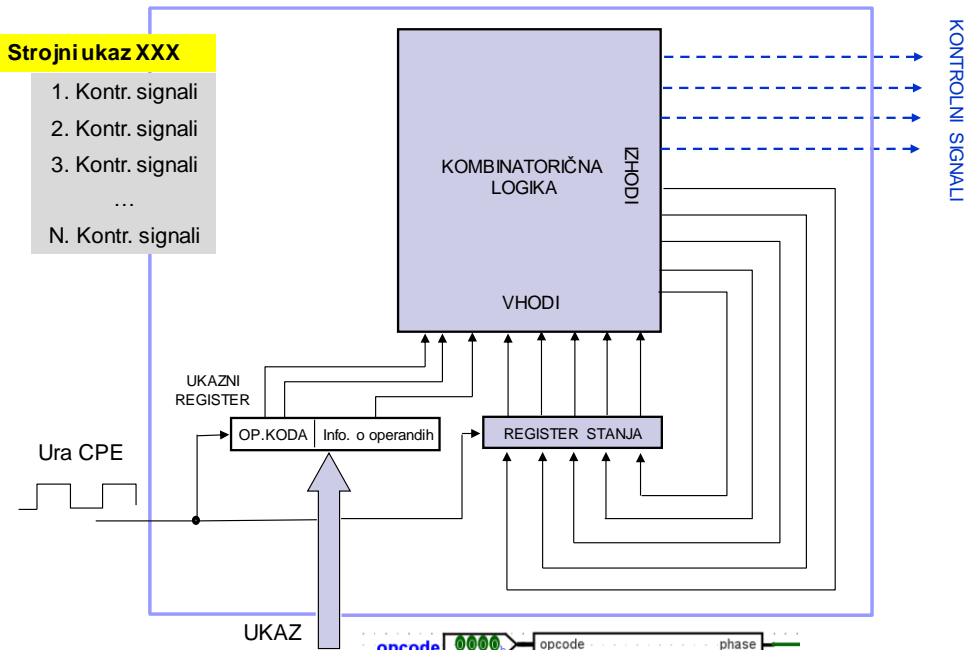


Strojni ukaz XXX

- 1. Mikro UKAZ
- 2. Mikro UKAZ
- 3. Mikro UKAZ
- ...
- N. Mikro UKAZ

KONTROLNI SIGNALI

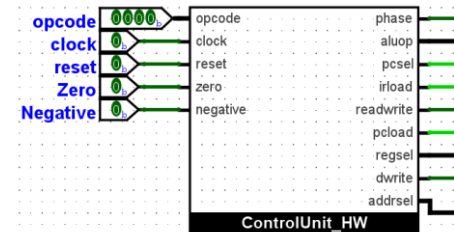
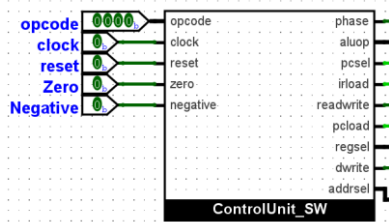
Kontrolna enota (trdo ožičena)



Strojni ukaz XXX

- 1. Kontr. signali
- 2. Kontr. signali
- 3. Kontr. signali
- ...
- N. Kontr. signali

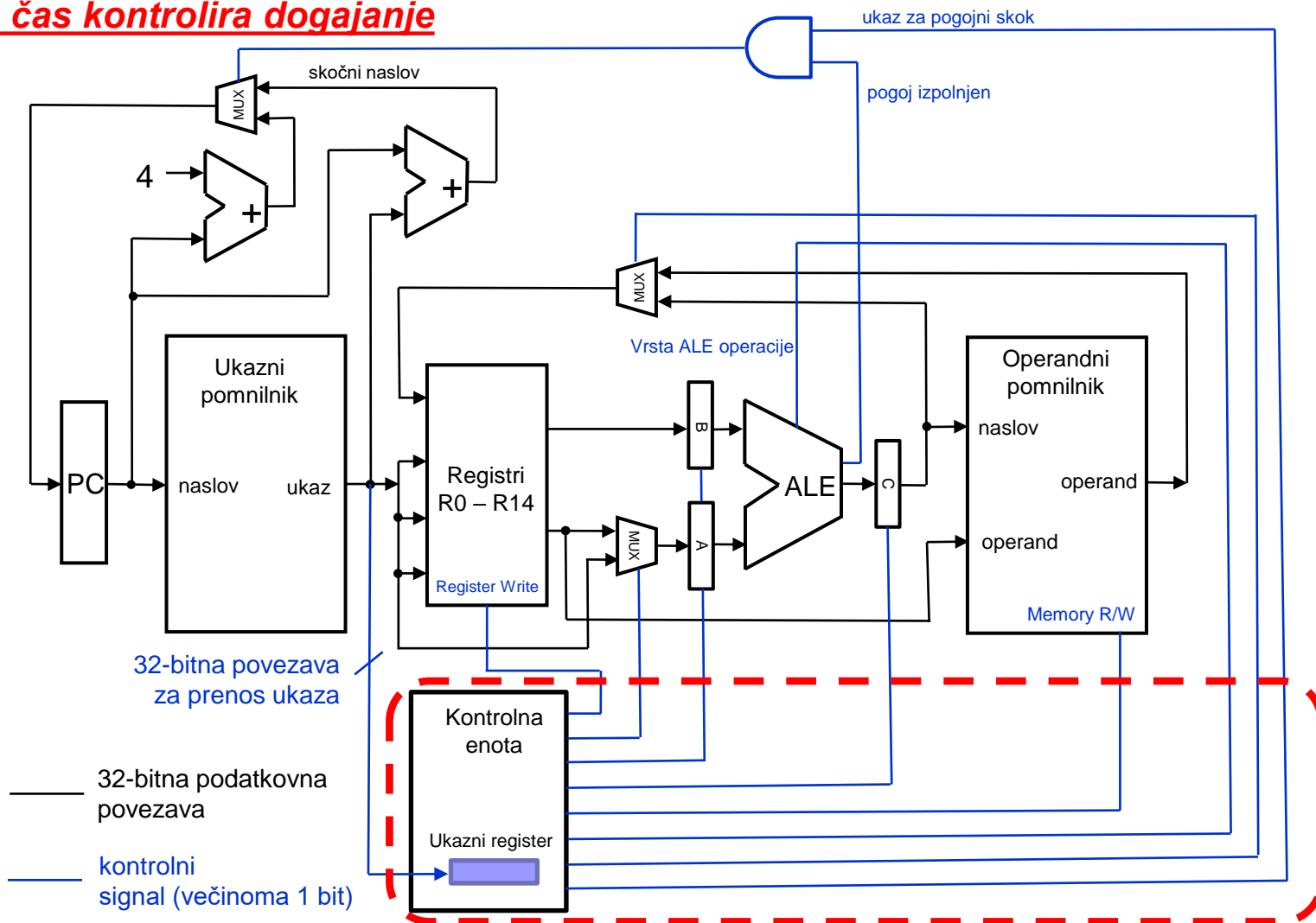
KONTROLNI SIGNALI





CPE s podatkovno in kontrolno enoto ter kontrolnimi signali

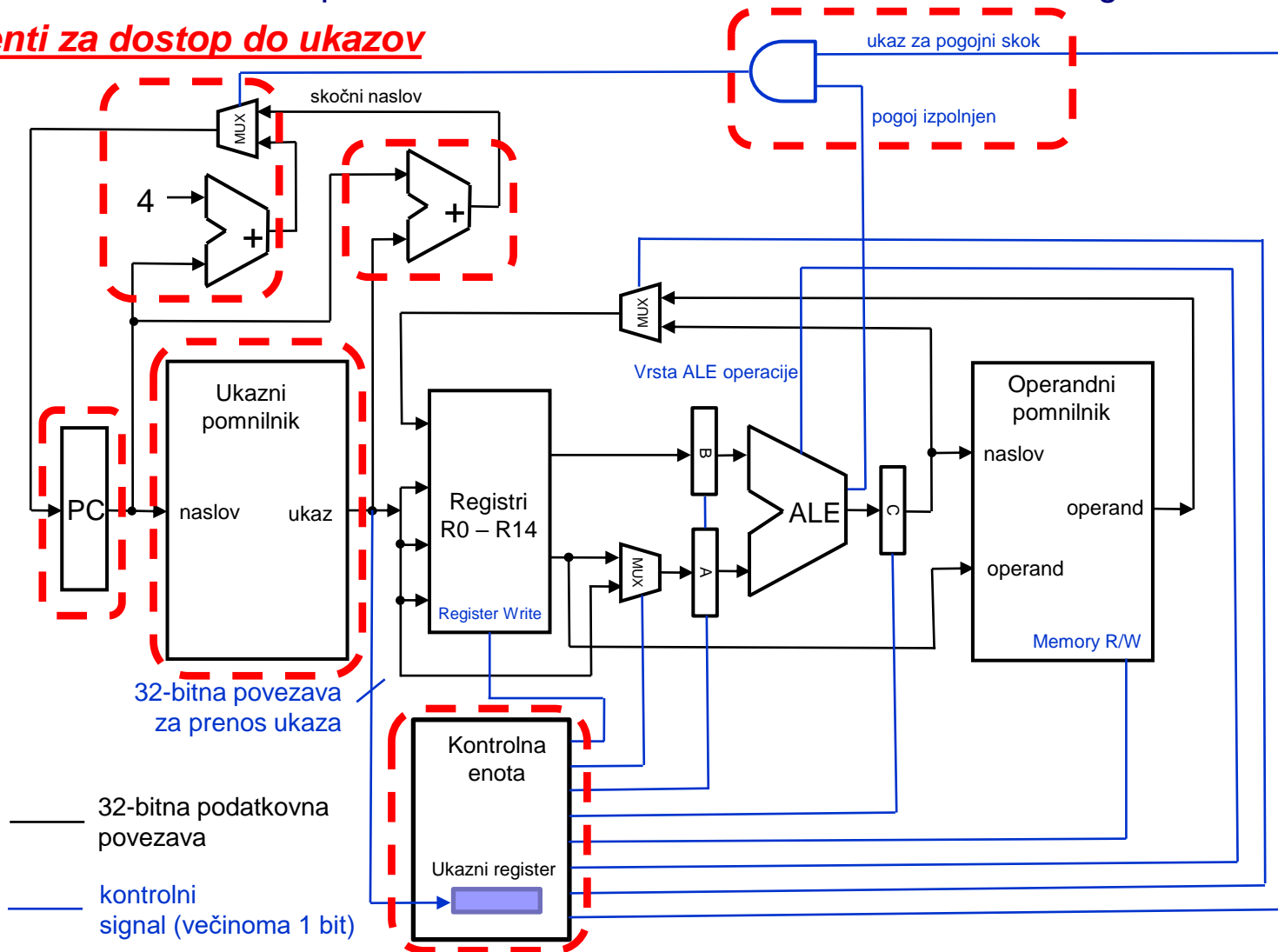
KE ves čas kontrolira dogajanje





CPE s podatkovno in kontrolno enoto ter kontrolnimi signali

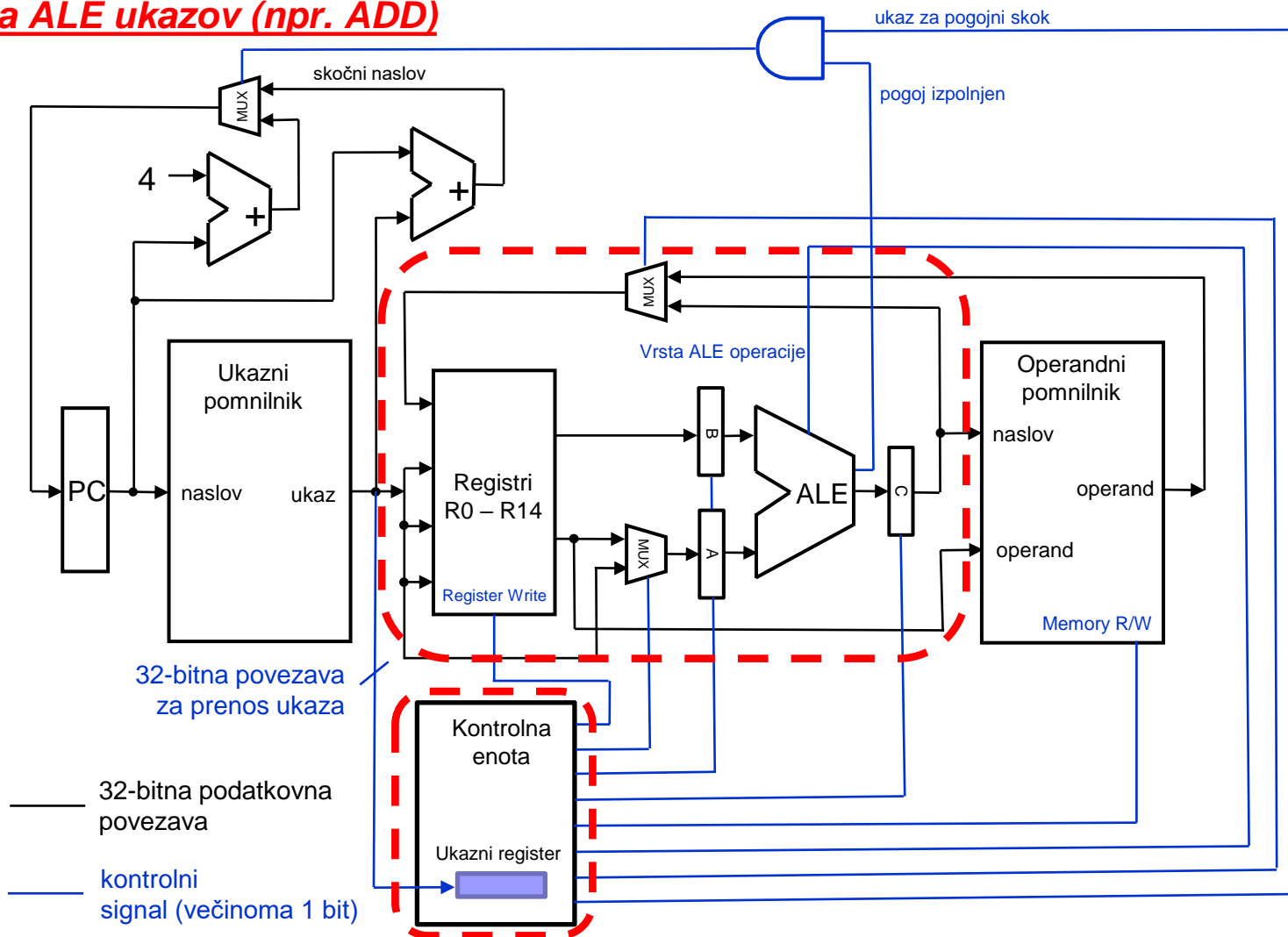
Elementi za dostop do ukazov





CPE s podatkovno in kontrolno enoto ter kontrolnimi signali

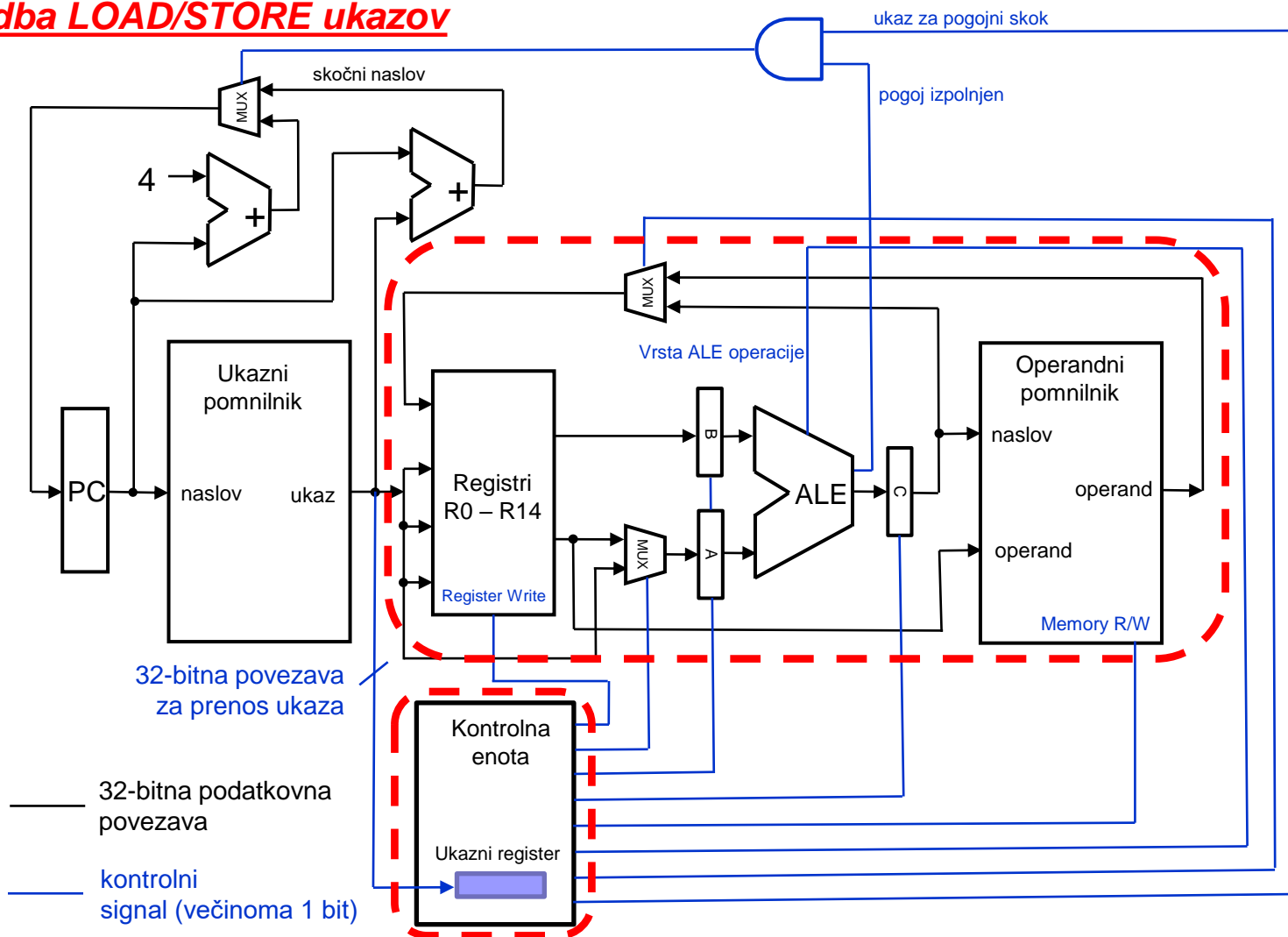
Izvedba ALE ukazov (npr. ADD)





CPE s podatkovno in kontrolno enoto ter kontrolnimi signali

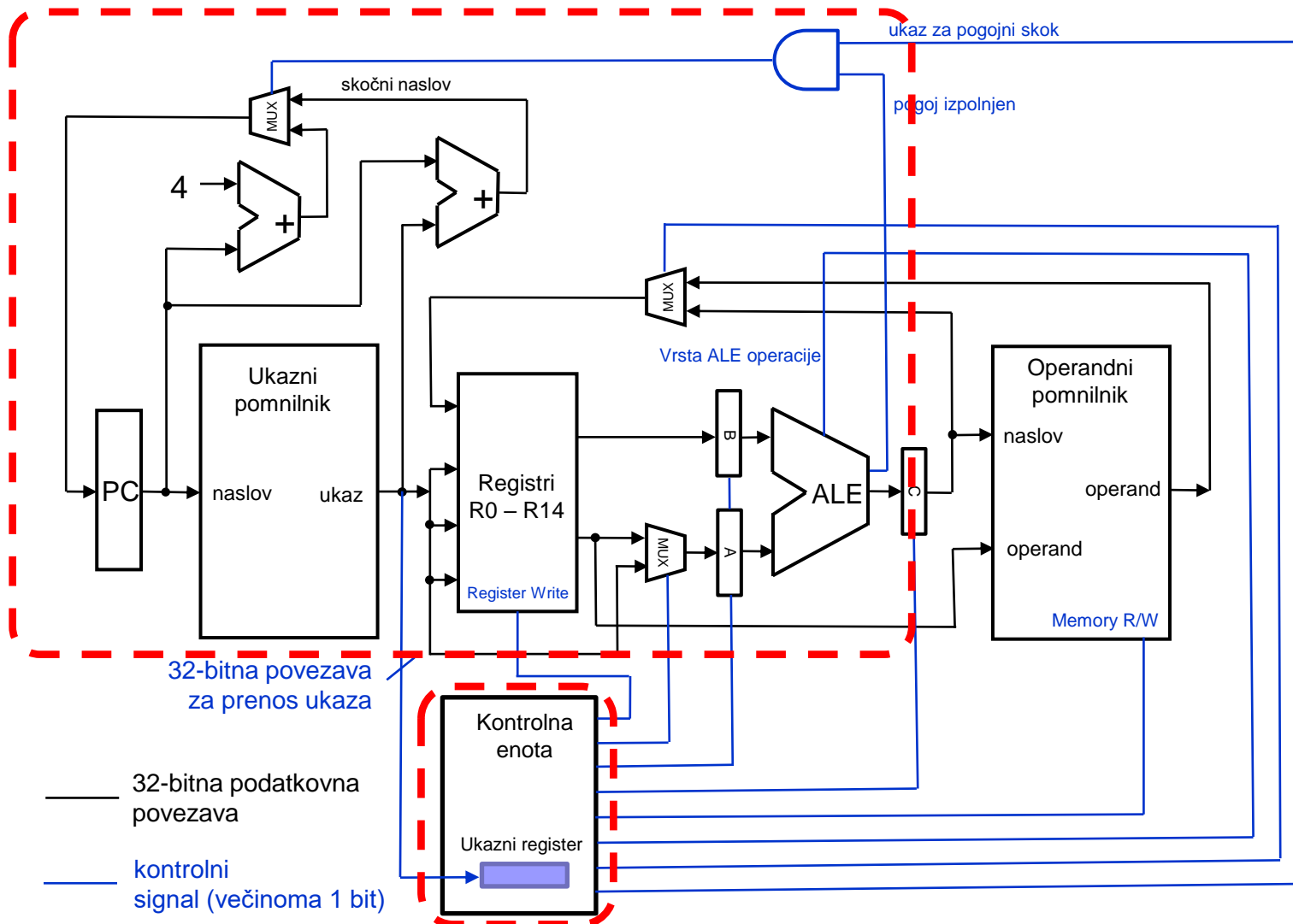
Izvedba LOAD/STORE ukazov





CPE s podatkovno in kontrolno enoto ter kontrolnimi signali

Izvedba skočnih ukazov



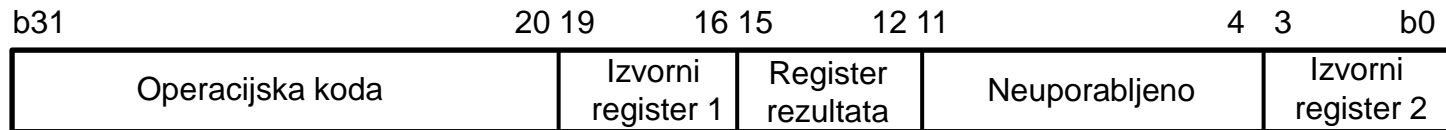


6.4 Izvajanje ukazov

Primer izvajanja tipičnega ukaza iz skupine ALE operacij:

■ **ADD R10, R1, R3 @ R10 ← R1 + R3**

Format ukaza:



Strojni ukaz:

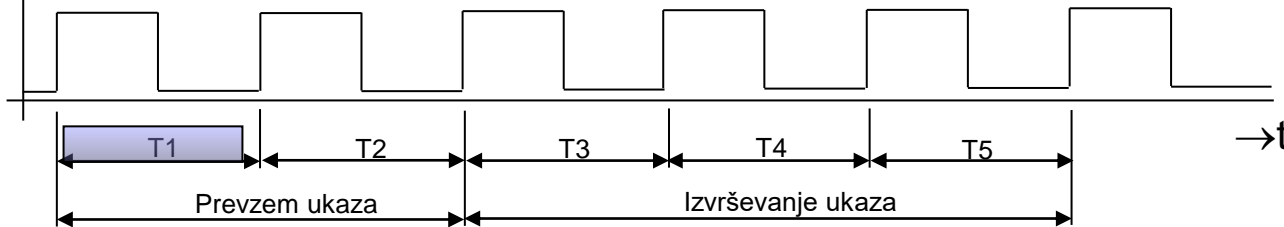




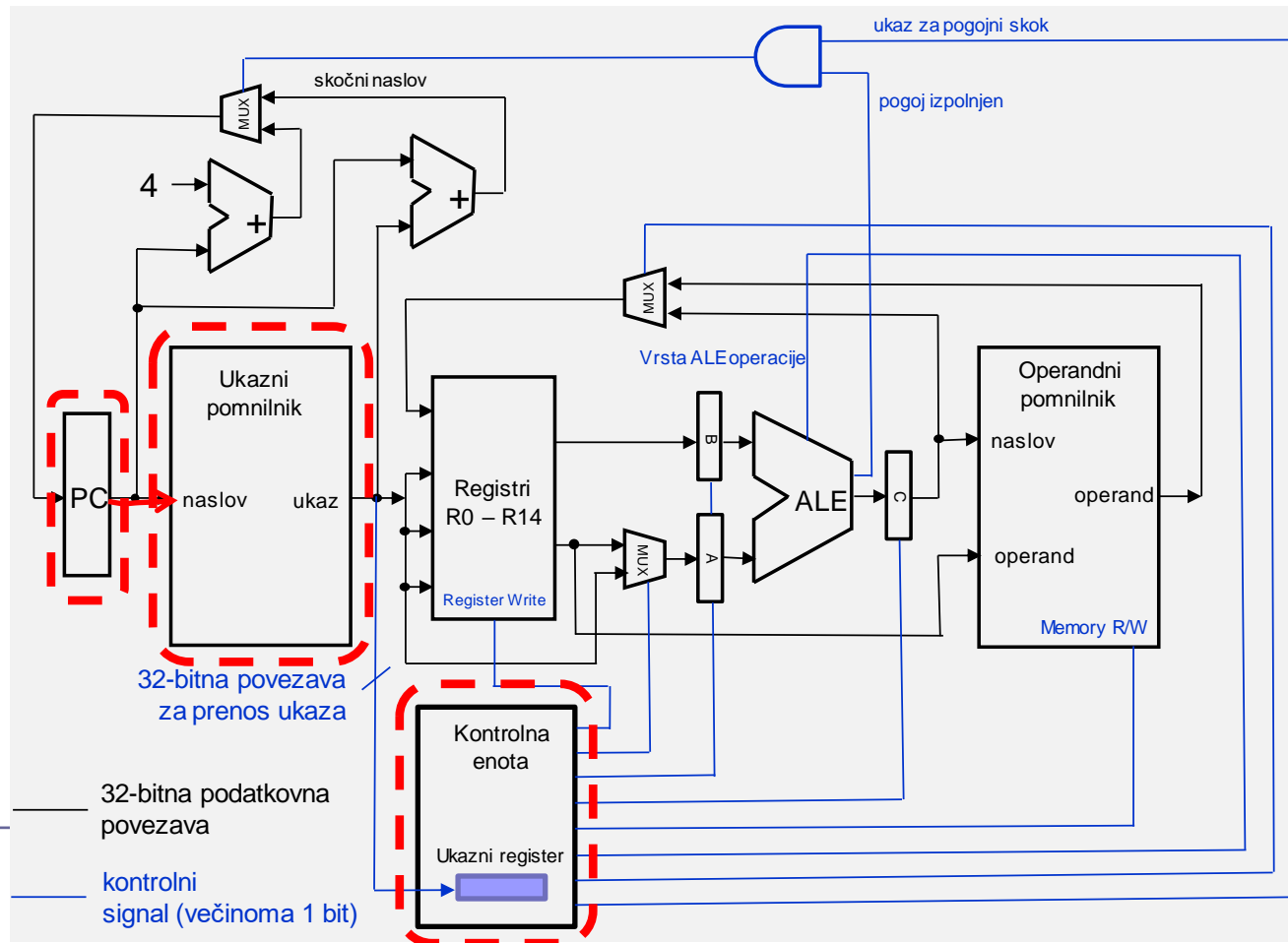
Izvajanje ukaza ADD: 1 elementarni korak (T1) = 1 T_{cpu} (urina perioda)

URA

T1: Dostop do ukaza v ukaznem pomnilniku



ADD R10, R1, R3



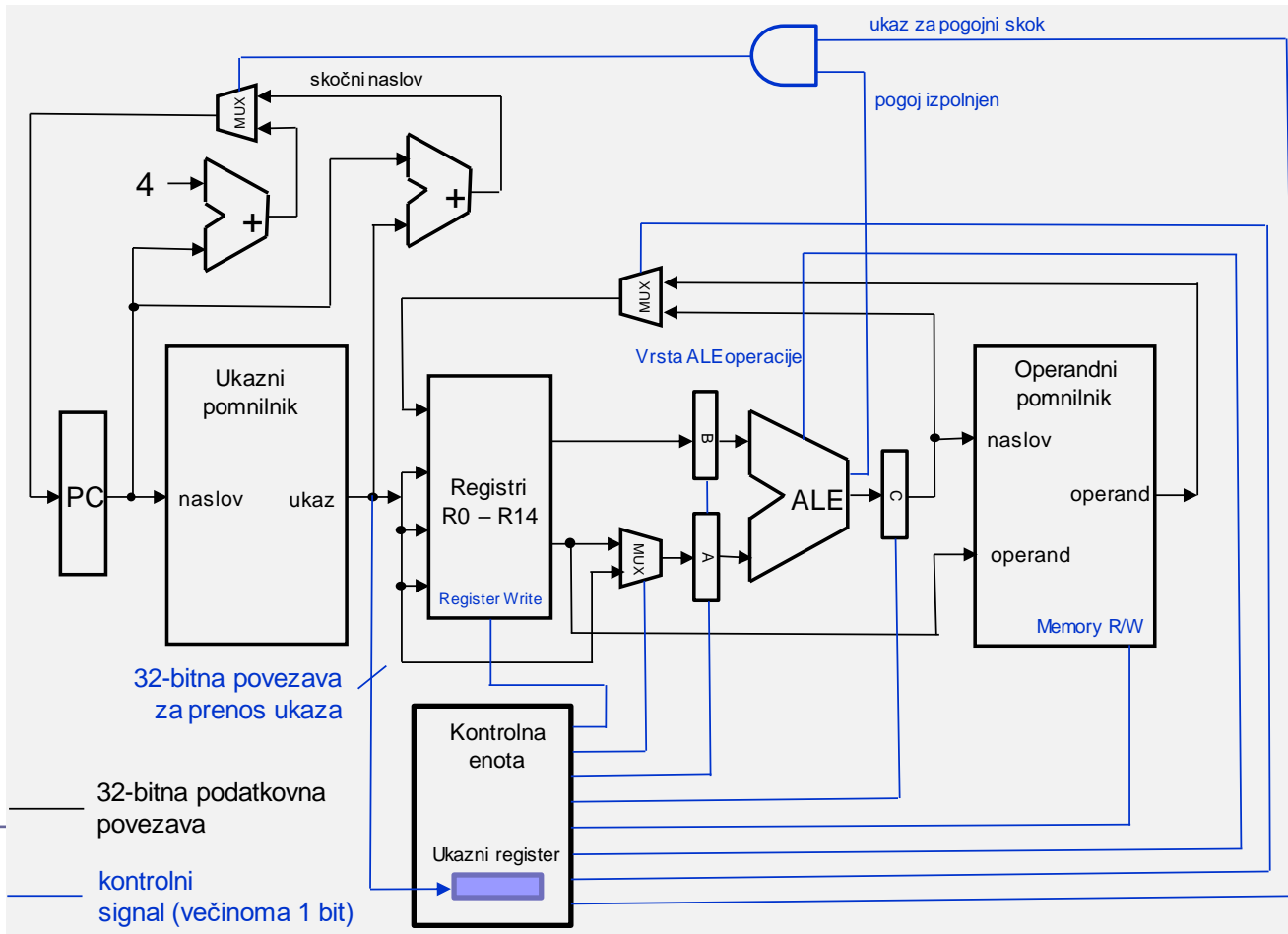
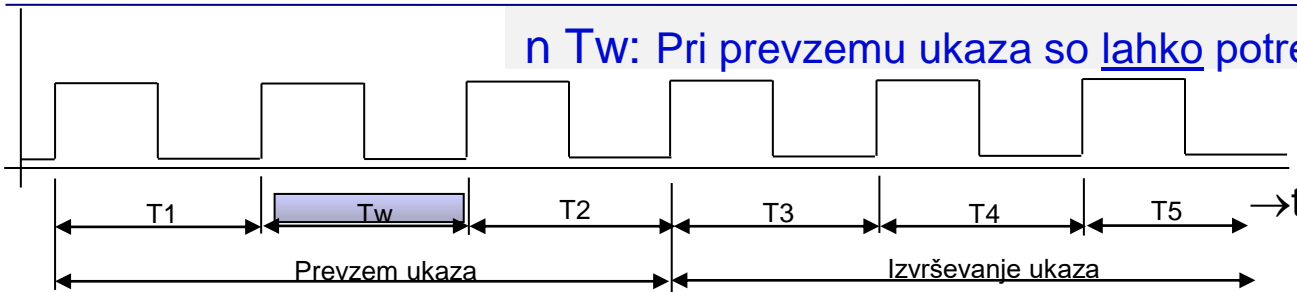


Izvajanje ukaza ADD: 2 elementarni korak (T_w) = n T_{cpe} (urina perioda)

n T_w : Pri prevzemu ukaza so lahko potrebne čakalne urine periode

ADD R10, R1, R3

URA



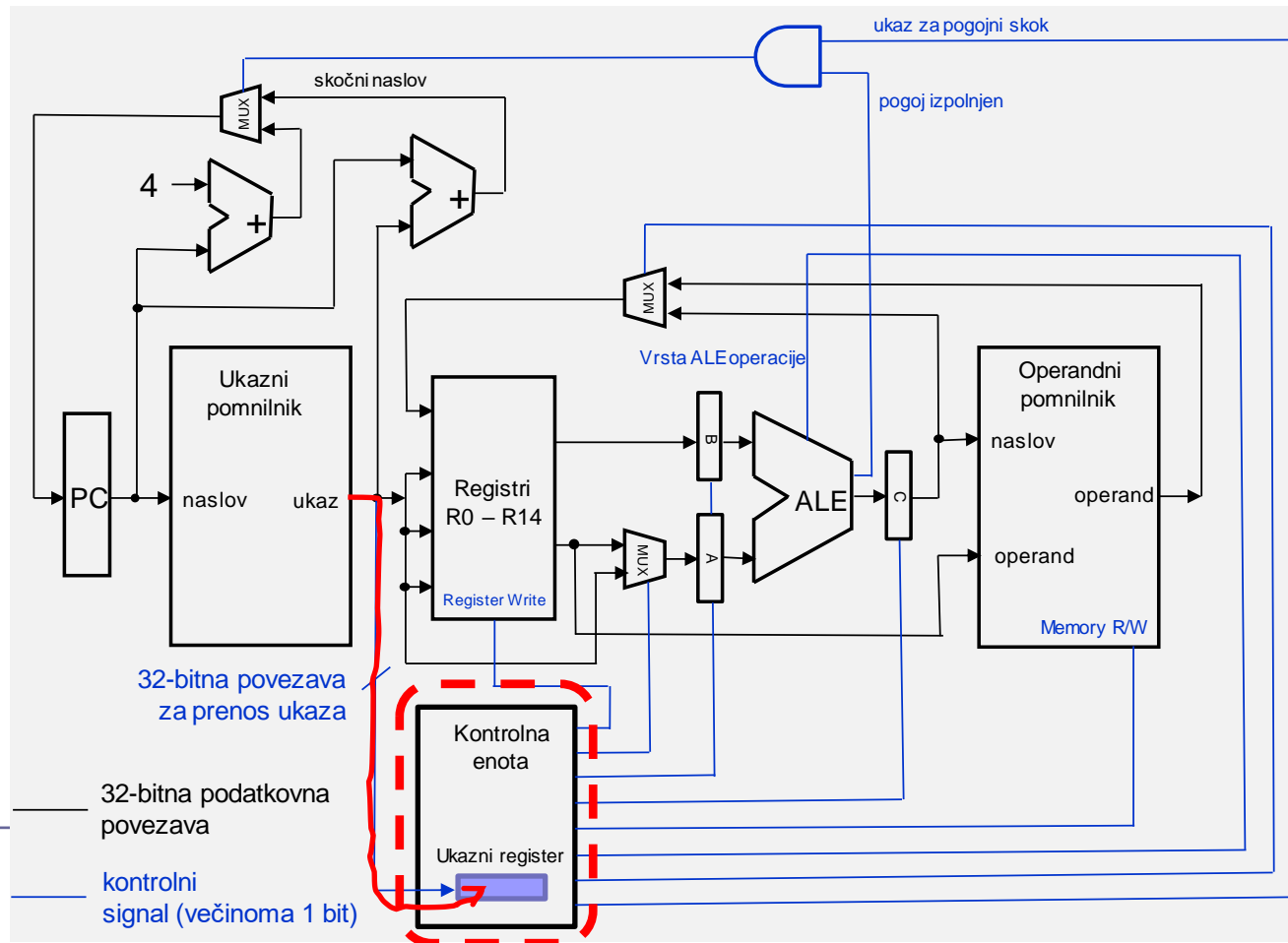
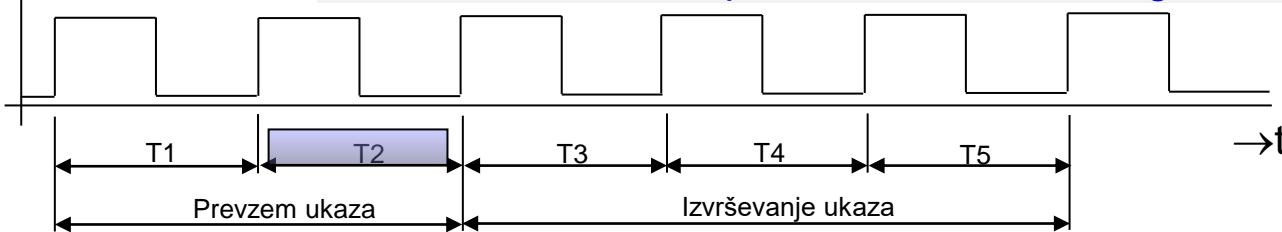


Izvajanje ukaza ADD: 2 elementarni korak (T2) = 1 Tcpe (urina perioda)

URA

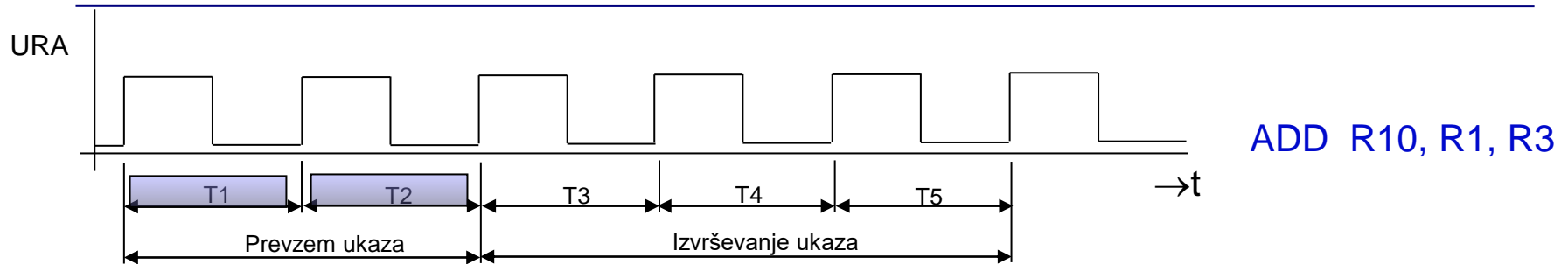
T2: Prenos ukaza iz pomnilnika v ukazni register

ADD R10, R1, R3





Izvajanje ukaza ADD:



- Izvajanje ukaza ADD traja npr. 5 urinih period ($CPI_{ALE}=5$)
 - T1: Dostop do ukaza v pomnilniku
 - T2: Prenos ukaza iz pomnilnika v ukazni register
 - T3: Dekodiranje ukaza in dostop do operandov v registrih R1 in R3
 - T4: Izvrševanje operacije (seštevanje)
 - T5: Shranjevanje rezultata v register R10

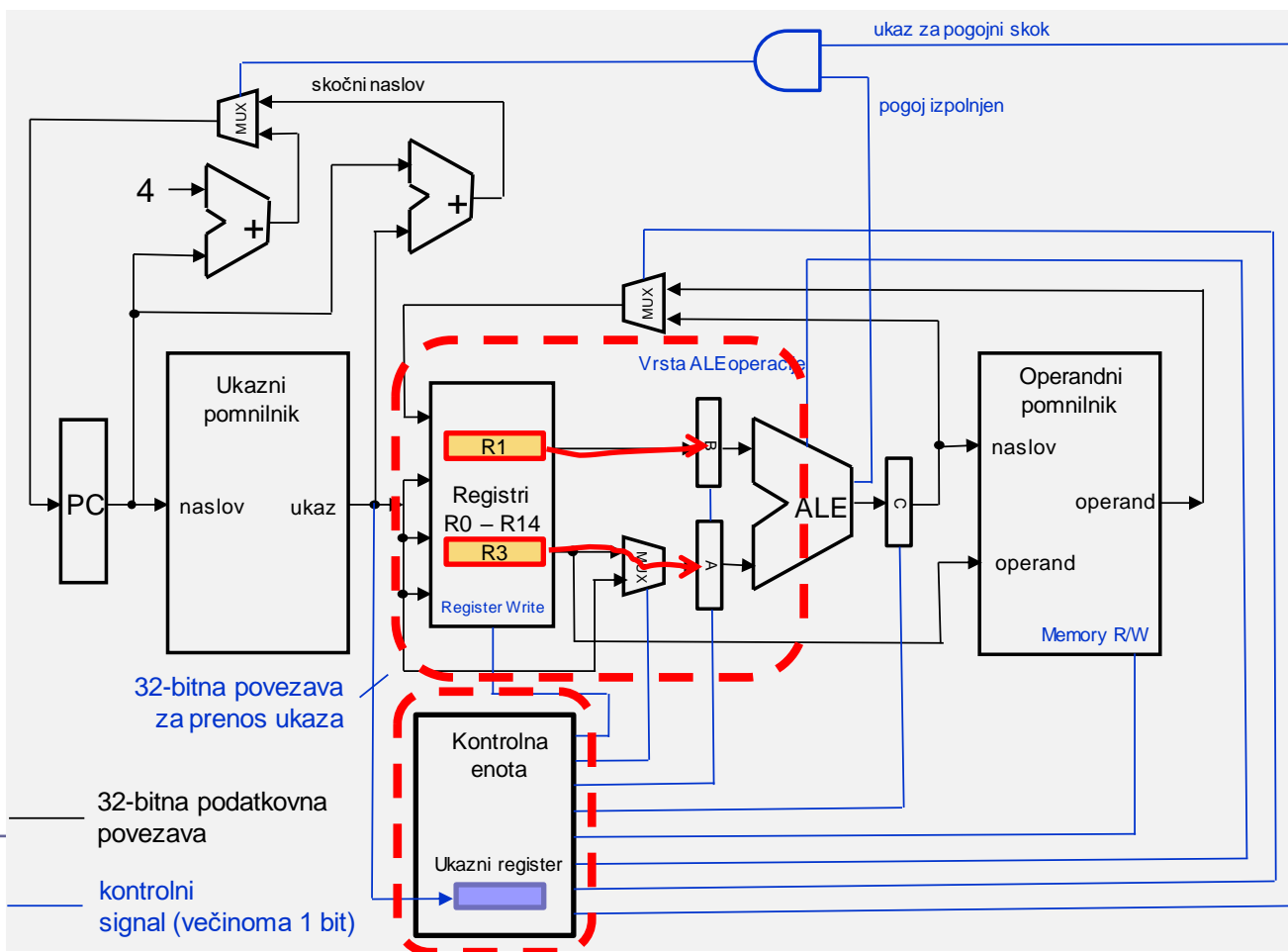
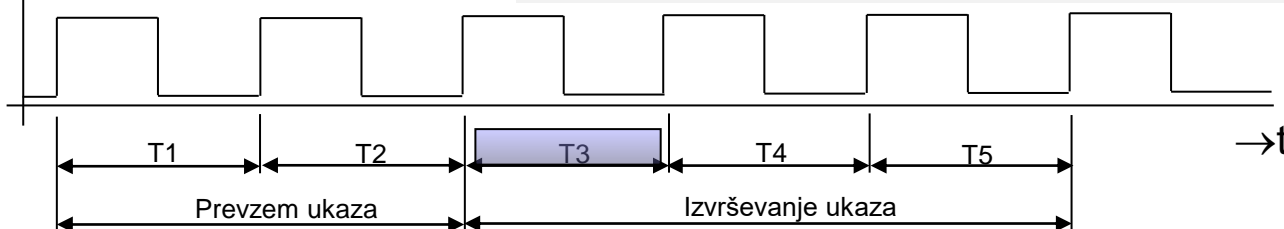


Izvajanje ukaza ADD: 3 elementarni korak (T3) = 1 T_{cpu} (urina perioda)

URA

T3: Dekodiranje ukaza in dostop do operandov v reg. R1 in R3

ADD R10, R1, R3



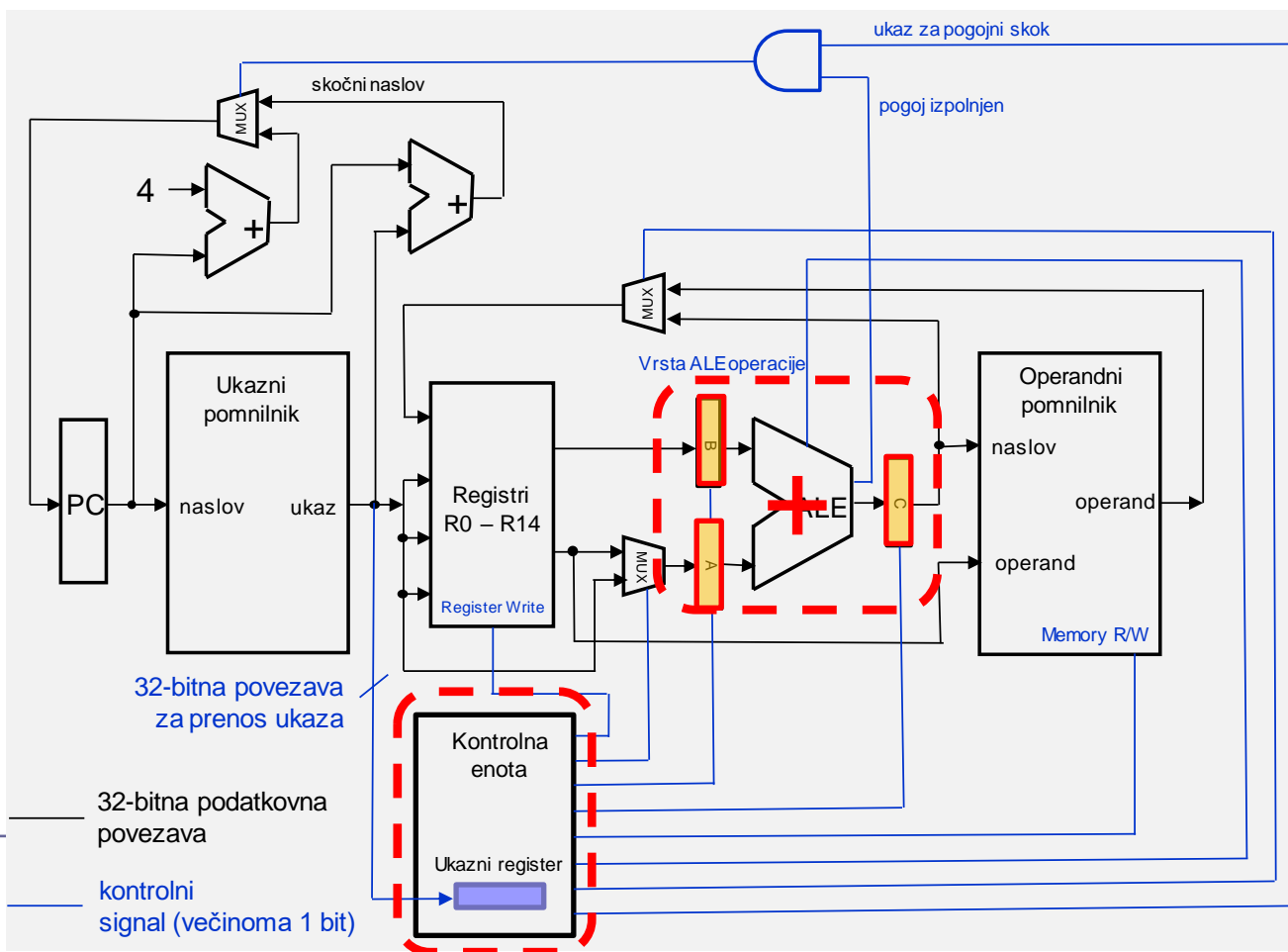
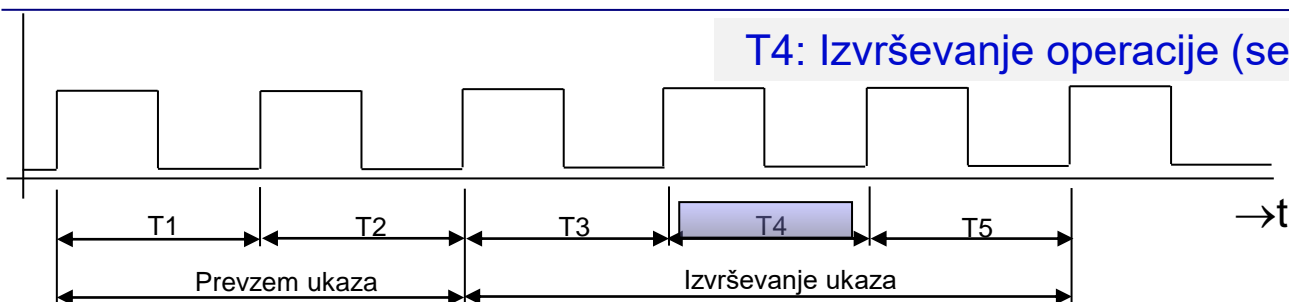


Izvajanje ukaza ADD: 4 elementarni korak (T4) = 1 T_{cpu} (urina perioda)

URA

T4: Izvrševanje operacije (seštevanje)

ADD R10, R1, R3



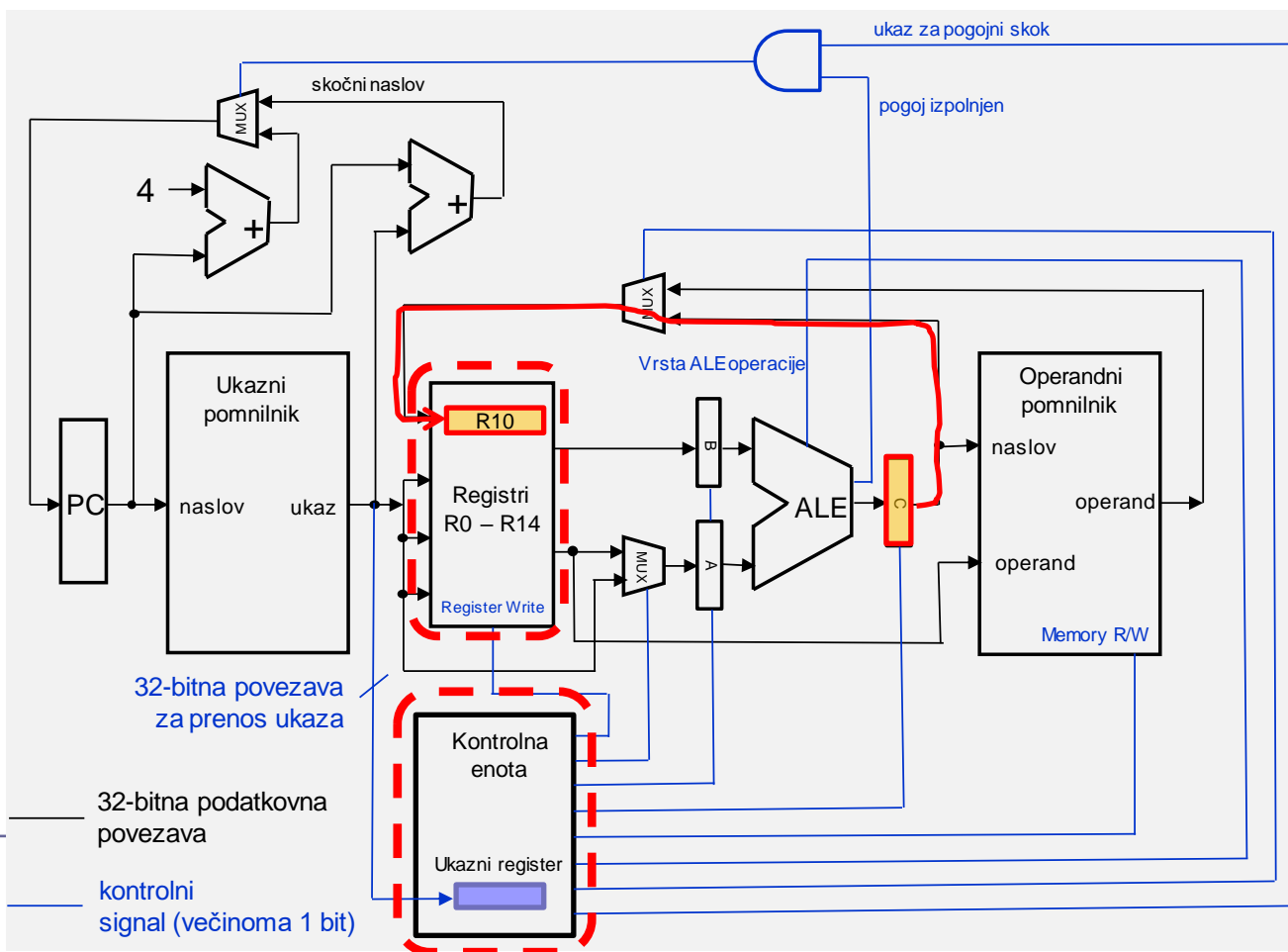
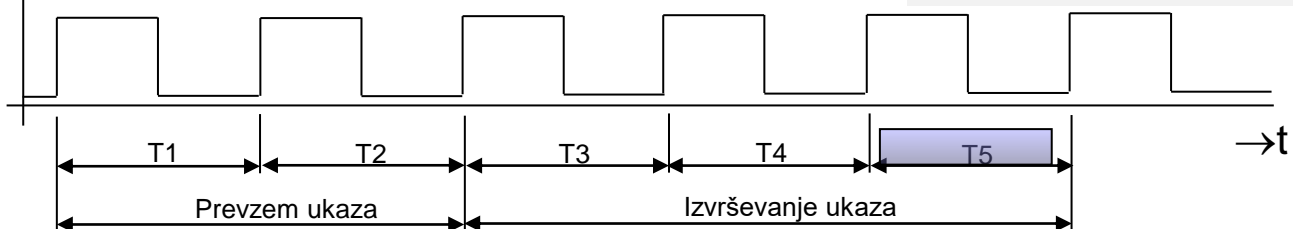


Izvajanje ukaza ADD: 5 elementarni korak (T5) = 1 T_{cpu} (urina perioda)

URA

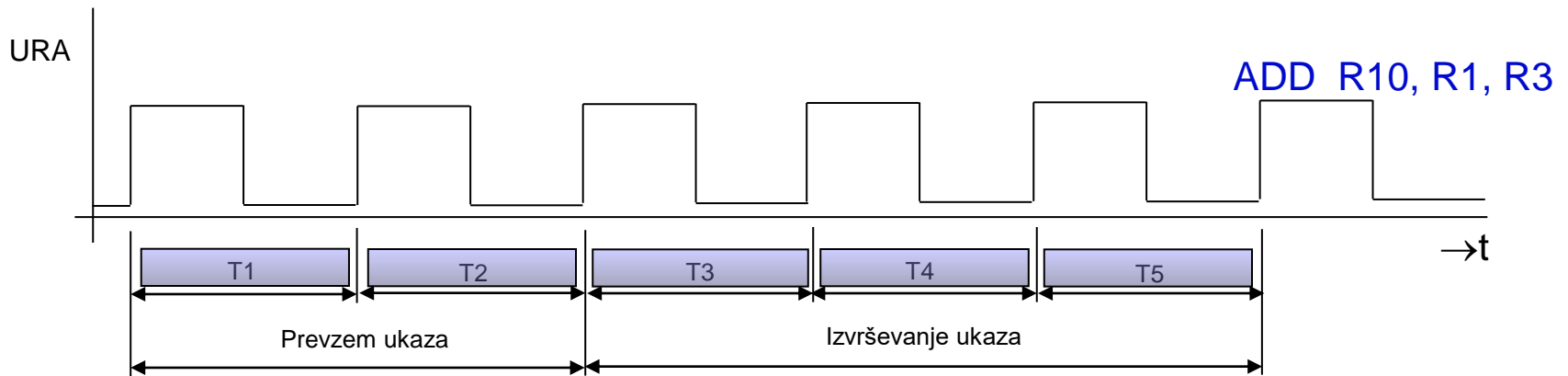
T5: Shranjevanje rezultata v register R10

ADD R10, R1, R3





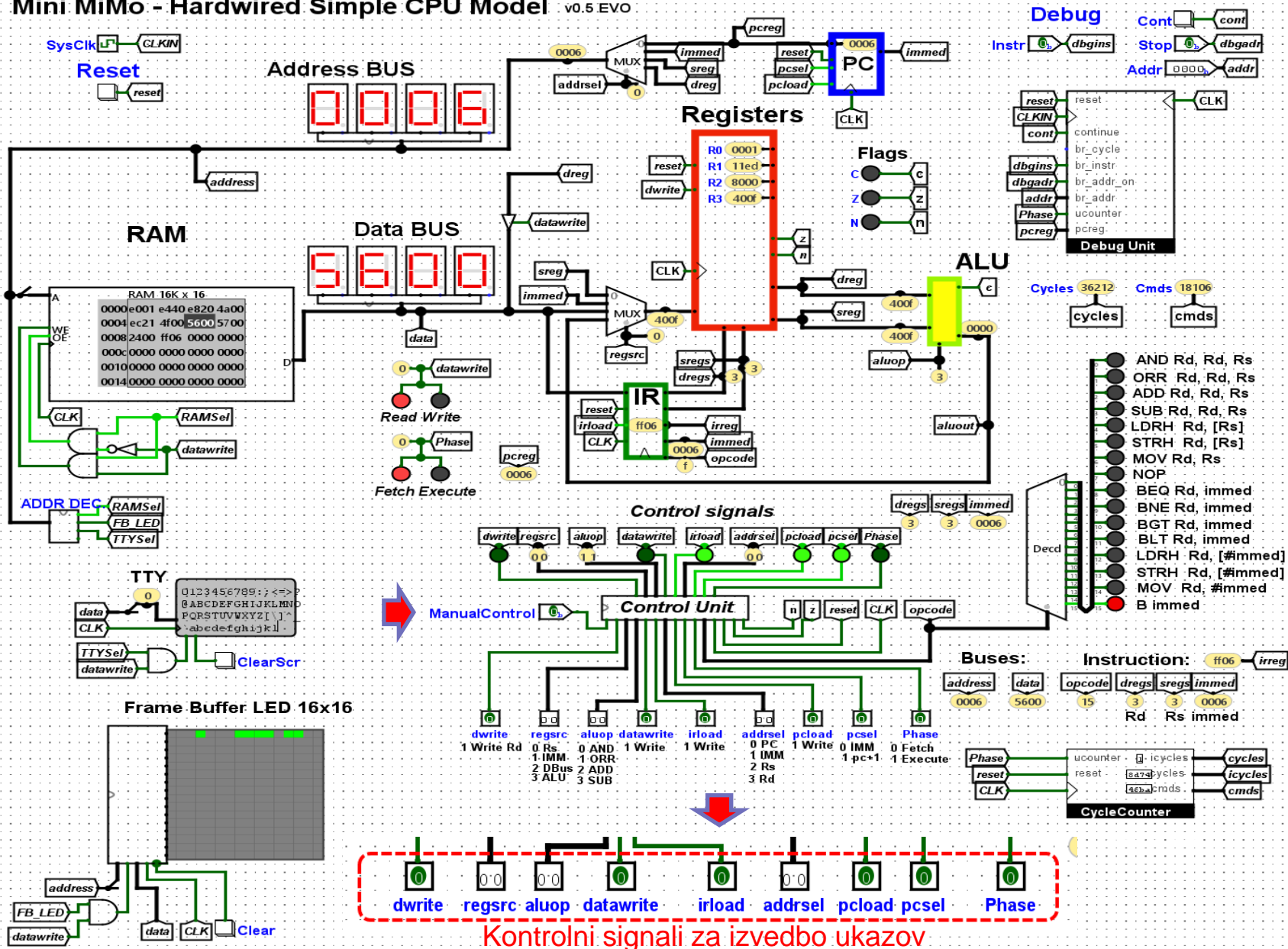
Izvajanje ukaza ADD: 1 elementarni korak (Tx) = 1 Tcpe (urina perioda)



- Izvajanje ukaza ADD traja npr. 5 urinih period ($CPI_{ALE}=5$)
 - T1: Dostop do ukaza v pomnilniku
 - T2: Prenos ukaza iz pomnilnika v ukazni register
 - T3: Dekodiranje ukaza in dostop do operandov v registrih R1 in R3
 - T4: Izvrševanje operacije (seštevanje)
 - T5: Shranjevanje rezultata v register R10

CPE – izvedba ukaza: primer Mini MiMo CPE

Mini MiMo - Hardwired Simple CPU Model v0.5 EVO



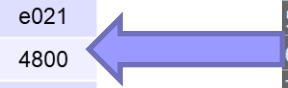
CPE – izvedba ukaza: primer Mini MiMo CPE

Program

Naslov	Ozna ka	Ukaz v zbirniku	Strojni ukaz
0x0000	main:	MOV R0, #0x20	e020
0x0001		LDRH R1, [R0]	4400
0x0002		MOV R0, #0x21	e021
0x0003		LDRH R2, [R0]	4800
0x0004		ADD R2, R2, R1	2900
0x0005		MOV R0, #0x22	e022
0x0006		STRH R2, [R0]	5800
0x0007	inf:	B inf	f007

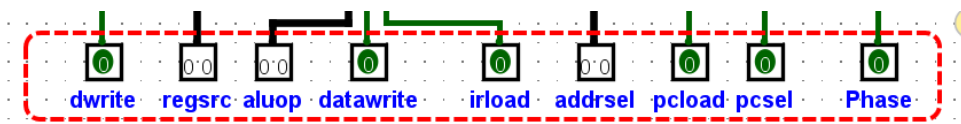
Zbirnik v Excelu

	A	B	C	D	E
1	Address	Instruction	Rd	Rs	Immed
2	0	MOV Rd, #immed	R0	R0	32
3	1	LDRH Rd, [Rs]	R1	R0	
4	2	MOV Rd, #immed	R0	R0	33
5	3	LDRH Rd, [Rs]	R2	R0	
6	4	ADD Rd, Rd, Rs	R2	R1	
7	5	MOV Rd, #immed	R0	R0	34
8	6	STRH Rd, [Rs]	R2	R0	
9	7	B immed	R0	R0	7
10	8				
11	9				
12	10				



Kontrolni signali za izvedbo ukazov

op1	op2	ARM9 zapis	pc sel	pc load	ir load	rw	dwrite	addr sel	reg sel	d reg	s reg	aluop
xx	xx	FETCH - vsi ukazi	1(pc+1)	1	1	0	0	0(pc)	x	x	x	x
00	10	ADD Rd, Rd, Rs	x	0	0	0	1	x	3(ALU)	Rd	Rs	op2=0b10
01	00	LDRH Rd, [Rs]	x	0	0	0	1	2(Rs)	2(Dbuss)	Rd	Rs	x
01	01	STRH Rd, [Rs]	x	0	0	1	0	2(Rs)	x	Rd	Rs	x
11	10	MOV Rd, #immed	x	0	0	0	1	x	1(IM)	Rd	x	x
11	11	B immed	0(IM)	1	0	0	0	x	x	x	x	x





6.5 Paralelno izvajanje ukazov

- Običajna zgradba CPE – izvajanje strojnega ukaza traja najmanj 3 ali 4 urine periode, običajno pa tudi več.
- Povprečno število ukazov, ki jih CPE izvede v eni sekundi (*IPS* – *Instructions Per Second*):

$$IPS = \frac{f_{CPE}}{CPI}$$

IPS je zelo veliko število, zato ga delimo z 10^6 in dobimo MIPS

$$MIPS = \frac{f_{CPE}}{CPI \cdot 10^6}$$

MIPS = Million Instructions per Second

f_{CPE} = frekvenca CPE ure

CPI = Cycles per Instruction
(povprečno število urinih period
za izvedbo enega ukaza)



- MIPS - število ukazov, ki jih CPE izvede v eni sekundi, lahko povečamo tako, da povečamo ali f_{CPE} in/ali zmanjšamo CPI:

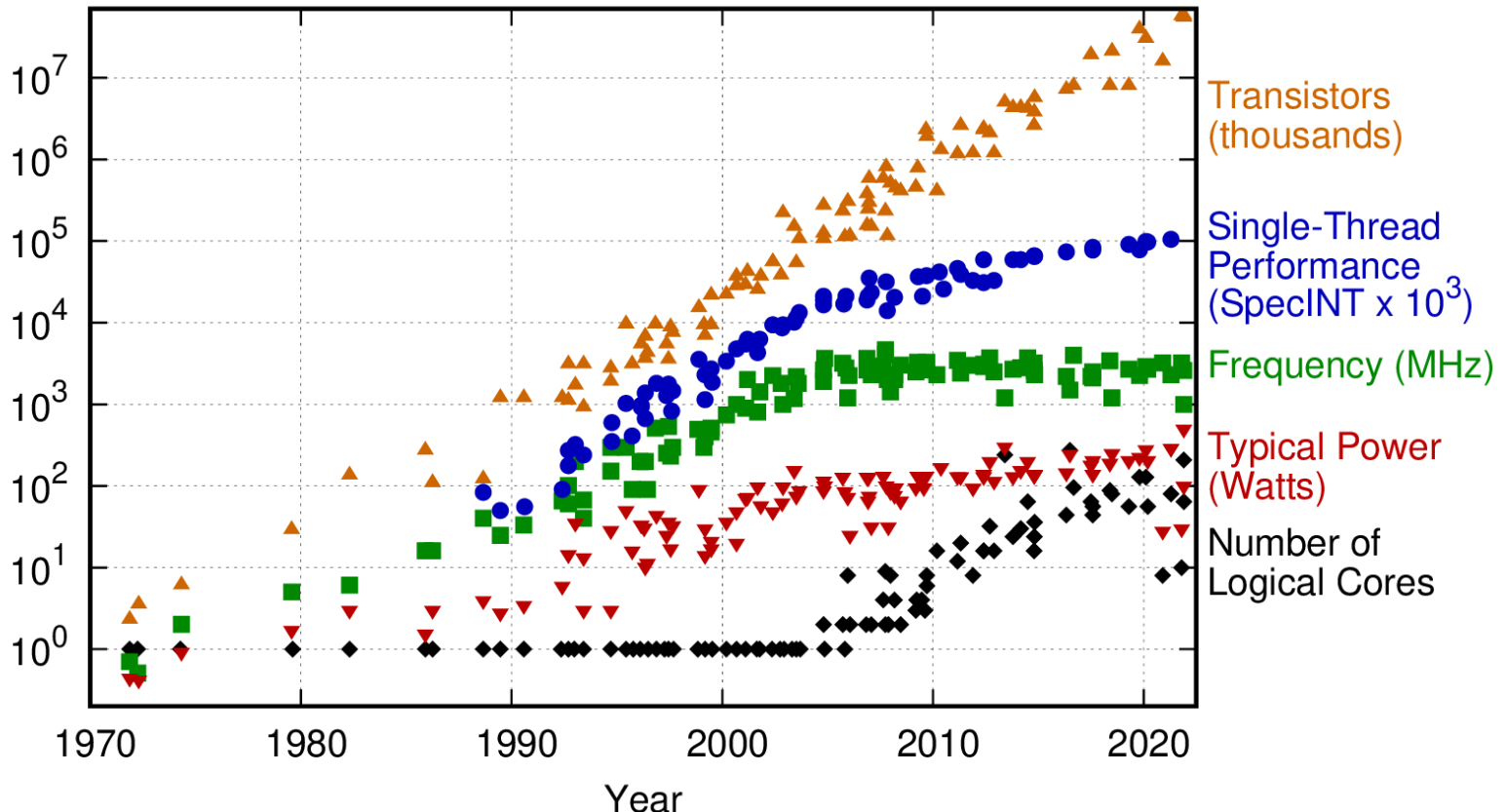
$$\uparrow MIPS = \frac{\uparrow f_{CPE}}{\downarrow CPI \cdot 10^6}$$

- Z uporabo hitrejših elementov (povečanje f_{CPE} = več urinih period v sekundi)
- Z uporabo večjega števila elementov dosežemo zmanjšanje CPI (manj urinih period za izvedbo enega ukaza), ker se več operacij izvede v eni urini periodi
- Uporaba hitrejših elementov ne omogoča velikega povečanja hitrosti, s seboj pa prinaša še druge probleme.



Analiza splošnih trendov v razvoju računalnikov

50 Years of Microprocessor Trend Data



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten
New plot and data collected for 2010-2021 by K. Rupp

Vir: <https://raw.githubusercontent.com/karlrupp/microprocessor-trend-data/master/50yrs/50-years-processor-trend.png>



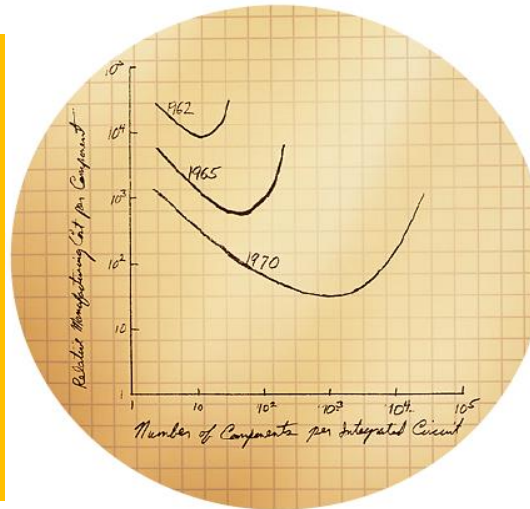
Povečevanje števila tranzistorjev – Moorov zakon

- Revija Electronic Magazine je leta 1965 objavila članek Gordona E. Moora, v katerem je napovedal, da se bo število tranzistorjev, ki so jih proizvajalci sposobni izdelati na čipu, podvojilo vsako leto.
- Leta 1975 je napoved popravil, da se bo število tranzistorjev podvojilo na vsaki dve leti.
- Kar je bilo takrat mišljeno kot izkustveno pravilo in naj bi veljalo naslednjih nekaj let, velja še danes in je poznano kot Moorov zakon.



Moore's Law

Relative Manufacturing Cost per Component



In 1965, Gordon Moore predicted the pace of silicon technology. Decades later, Moore's Law remains true, driven largely by Intel's unparalleled silicon expertise.

According to Moore's Law, the number of transistors on a chip roughly doubles every two years. As a result the scale gets smaller and smaller. For decades, Intel has met this formidable challenge through investments in technology and manufacturing resulting in the unparalleled silicon expertise that has made Moore's Law a reality.



- Gordon E. Moore je danes častni predsednik Intela, v letu 1968 pa je bil soustanovitelj in izvršni podpredsednik Intela.
- Pri isti tehnologiji se je v obdobju 20 let pred nekaj časa najvišja hitrost logičnih elementov povečala za približno 10-krat.
- V istem času se je največje število elementov na enem čipu povečalo za približno 500 do celo 5000-krat pri pomnilniških čipih.

Moorov zakon – število tranzistorjev skozi čas

Year	Component	Name	Number of MOSFETs (in billions)
2022	microprocessor (commercial)	M1 Ultra	114 (dual-die SoC; entire M1 Ultra is a multi-chip module)
2022	GPU	Nvidia H100	80
2020	DLP	Colossus Mk2 GC200	59.4
2020	any IC chip	Wafer Scale Engine 2	2600 (wafer-scale design consisting of 84 exposed fields (dies))
2022	Flash memory	Micron's V-NAND chip	5333 (stacked package of 16 232-layer 3D NAND dies)

Processor	Transistor count	Date of introduction	Designer	MOS process (nm)	Area (mm ²)	Transistor density, tr./mm ²
AMD Epyc 7763 (Milan) (64-core, 64-bit)	?	2021	AMD	7 & 12 nm (TSMC)	1064 mm ² (8x81+416) ^[142]	?
Intel 4004 (4-bit, 16-pin)	2,250	1971	Intel	10,000 nm	12 mm ²	188
NEC μCOM-4 (4-bit, 42-pin)	2,500 ^{[17][18]}	1973	NEC	7,500 nm ^[19]	?	?
Intel 4040 (4-bit, 16-pin)	3,000	1974	Intel	10,000 nm	12 mm ²	250
TMX 1795 (?-bit, 24-pin)	3,078 ^[16]	1971	Texas Instruments	?	30.64 mm ²	100.5
Intel 8008 (8-bit, 18-pin)	3,500	1972	Intel	10,000 nm	14 mm ²	250
Intersil IM6100 (12-bit, 40-pin; clone of PDP-8)	4,000	1975	Intersil	?	?	?
Motorola 6800 (8-bit, 40-pin)	4,100	1974	Motorola	6,000 nm	16 mm ²	256
MOS Technology 6502 (8-bit, 40-pin)	4,528 ^{[b][22]}	1975	MOS Technology	8,000 nm	21 mm ²	216
CDP 1801 (8-bit, 2-chip, 40-pin)	5,000	1975	RCA	?	?	?
RCA 1802 (8-bit, 40-pin)	5,000	1976	RCA	5,000 nm	27 mm ²	185
Intel 8080 (8-bit, 40-pin)	6,000	1974	Intel	6,000 nm	20 mm ²	300
Intel 8085 (8-bit, 40-pin)	6,500	1976	Intel	3,000 nm	20 mm ²	325

■ ■ ■

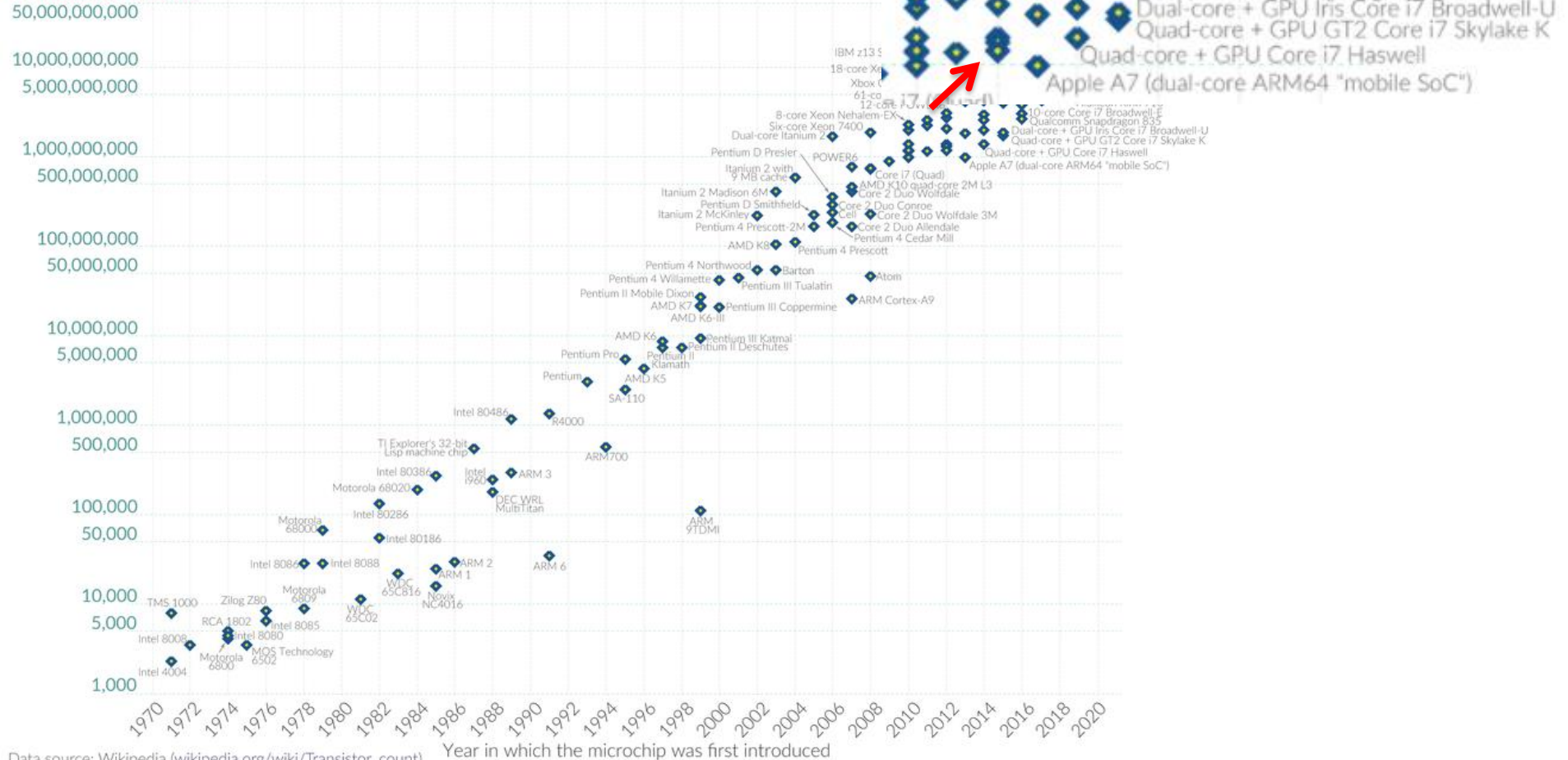
AMD Epyc (32-core 64-bit, SIMD, caches)	19,200,000,000	2017	AMD	14 nm	768 mm ²	25,000,000
Apple M2 (deca-core 64-bit ARM64 SoC, SIMD, caches)	20,000,000,000 ^[153]	2022	Apple	5 nm	?	?
AMD Epyc 7773X (Milan-X) (multi-chip module, 64 cores, 768 MB L3 cache)	26,000,000,000 + Milan ^[150]	2022	AMD	7 & 12 nm (TSMC)	1352 mm ² (Milan + 8x36) ^[150]	?
AWS Graviton2 (64-bit, 64-core ARM-based, SIMD, caches) ^{[134][135]}	30,000,000,000	2019	Amazon	7 nm	?	?
Apple M1 Pro (10-core, 64-bit)	33,700,000,000 ^[145]	2021	Apple	5 nm	245mm ² ^[146]	137,600,000
Power10 dual-chip module (30 SMT8 cores or 60 SMT4 cores)	36,000,000,000 ^[149]	2021	IBM	7 nm	1204 mm ²	29,900,000
AMD Epyc Rome (64-bit, SIMD, caches)	39,540,000,000 ^{[131][132]}	2019	AMD	7 & 12 nm (TSMC)	1008 mm ²	39,226,000
IBM Telum dual-chip module (2x8 cores, 2x256 MB cache)	45,000,000,000 ^{[151][152]}	2022	IBM	7 nm (Samsung)	1060 mm ²	42,450,000
Apple M1 Max (10-core, 64-bit)	57,000,000,000 ^{[147][145]}	2021	Apple	5 nm	420.2 mm ² ^[148]	135,600,000
Apple M1 Ultra (dual-chip module, 2x10 cores) ^[Brez naslova]	114,000,000,000 ^{[2][3]}	2022	Apple	5 nm	840.5 mm ² ^[148]	135,600,000
Processor	MOS transistor count	Date of introduction	Designer	MOS process (nm)	Area (mm ²)	Transistor density, tr./mm ²

Moorov zakon – povečevanje števila tranzistorjev

Moore's Law: The number of transistors on microchips doubles

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed.

Transistor count



Data source: Wikipedia (wikipedia.org/wiki/Transistor_count)

OurWorldinData.org – Research and data to make progress against the world's largest problems.

Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.



Kako učinkovito izkoristimo več elementov ?

- Učinkovito **povečanje hitrosti CPE**:
 - CPE paralelno izvaja **več funkcij**, to pa pomeni povečanje števila logičnih elementov.

Paralelizem lahko izkoristimo na več nivojih:

- Paralelizem na nivoju ukazov:
 - Nekateri ukazi v programu **se lahko izvajajo hkrati** - paralelno
 - CPE v obliki **cevovoda**:
 - Izkoriščanje **paralelizma na nivoju ukazov**
 - ***Pomembna prednost: v programih niso potrebne spremembe !!!***
 - **Omejen**, iščemo tudi druge možnosti



- Paralelizem na nivoju ukazov:
 - Nekateri ukazi v programu **se lahko izvajajo hkrati** - paralelno
 - CPE v obliki **cevovoda**:
 - Izkoriščanje paralelizma na nivoju ukazov
 - **Pomembna prednost: v programih niso potrebne spremembe !!!**
 - **Omejen**, iščemo tudi druge možnosti (višje nivoje)
- Prvi višje-nivojski paralelizem imenujemo **paralelizem na nivoju niti**.
 - Večnitnost
 - Večjedrni procesorji
- **Paralelizem na nivoju CPE** (MIMD - multiprocesorji, multiračunalniki)
- **Paralelizem na nivoju podatkov** (GPU, SIMD, Vektorske enote)

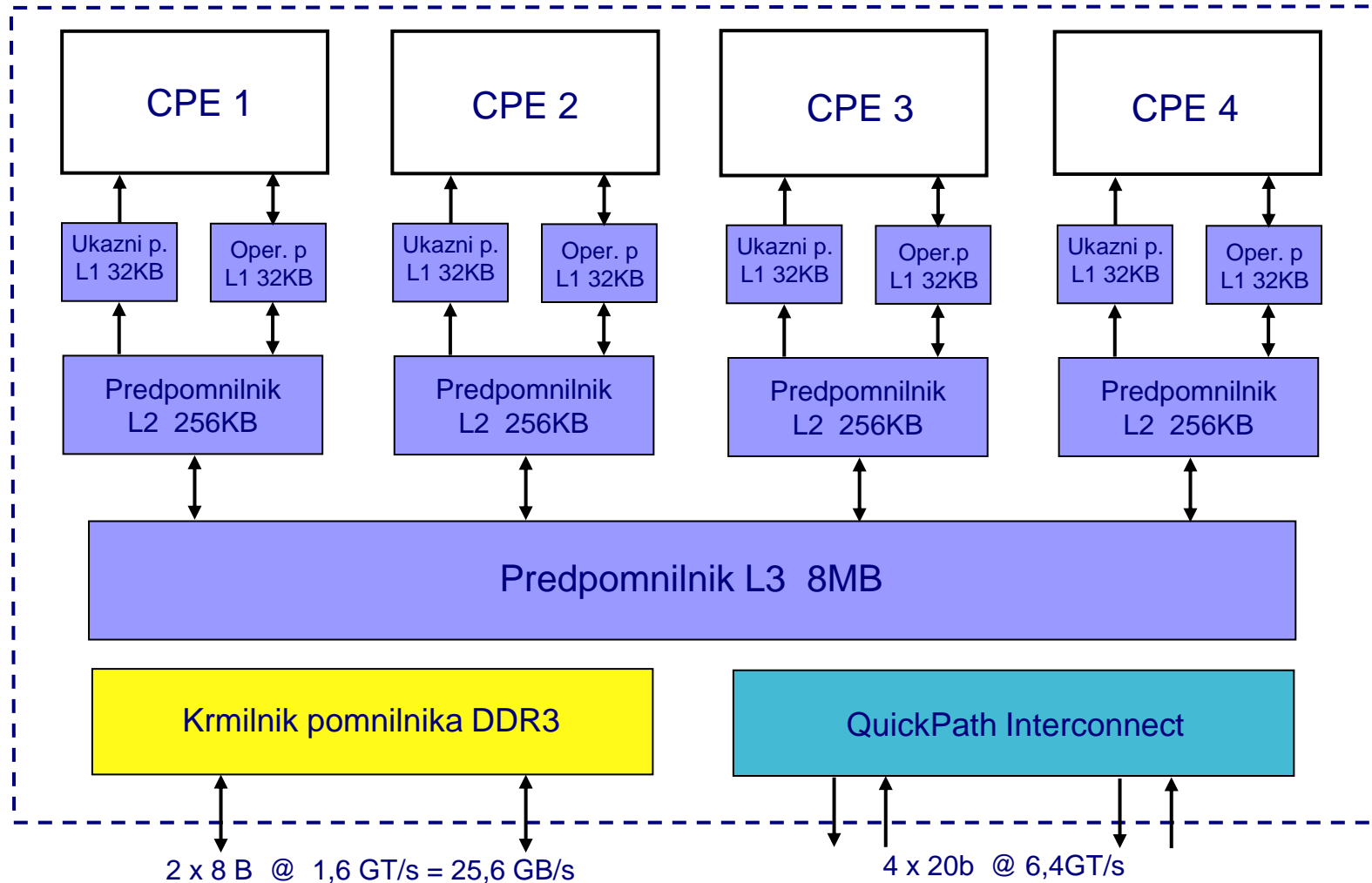


■ Intel Core i7 Haswell

- Feature size 22 nm (= $22 * 10^{-9}$ m)
- Število tranzistorjev 1,6 milijarde (= 1.600.000.000)
- Velikost čipa 160 mm² (od 10x do 26x mm²)
- Frekvenca ure od 2,0 GHz do 4,4 GHz
- Število jeder (CPE) 4
- Grafični procesor
- Podnožje LGA 1150
- TDP (Thermal Design Power) od 11,5 W do 84 W
- Cena \approx 300 – 400 \$



Zgradba 4-jedrnega procesorja Intel Core i7 (Haswell)



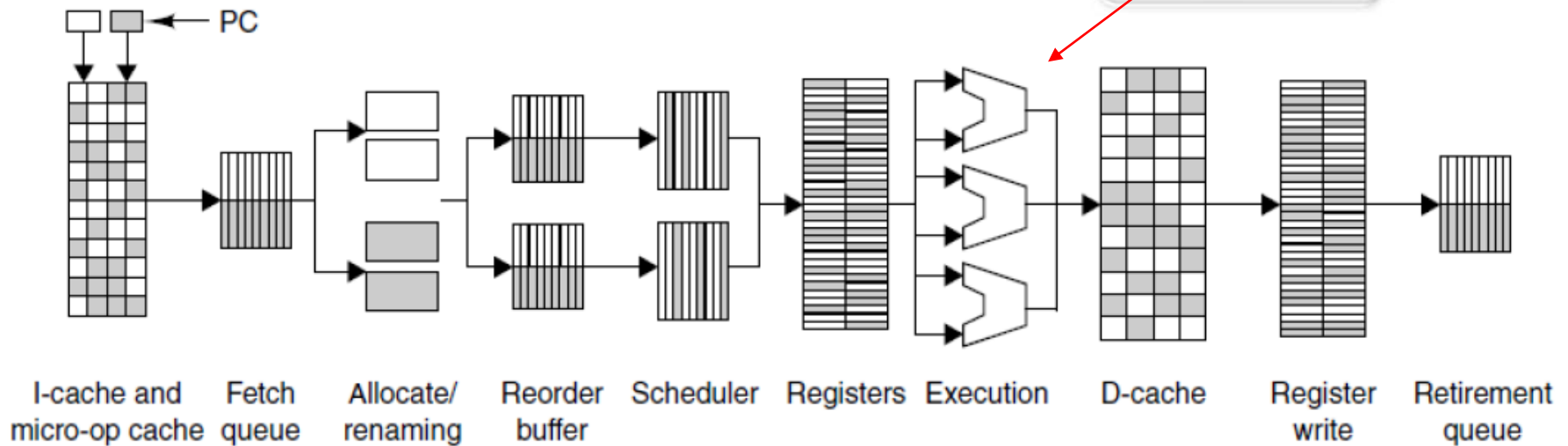
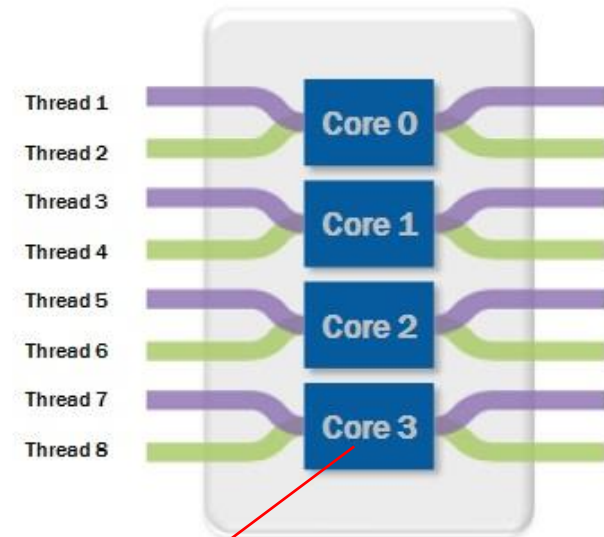


Primer paralelnosti na nivoju ukazov, niti in jeder : Intel 80x86

Istočasna večnitnost (SMT)

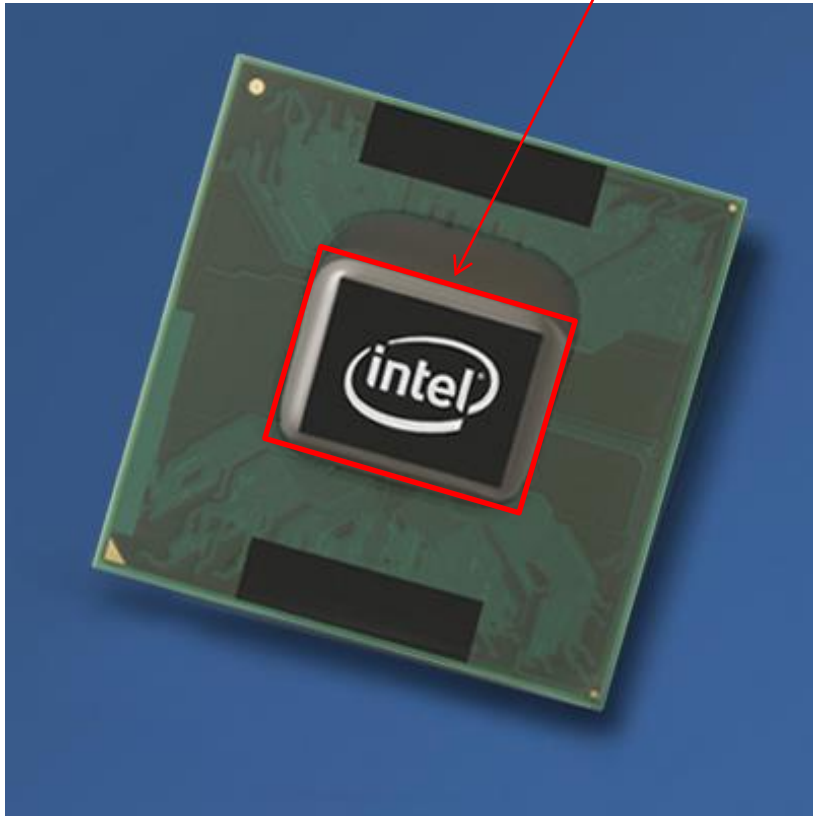
„Hyperthreading“ na Core i7

1 jedro podpira 2 niti
(dve „navidezni“ jedri)

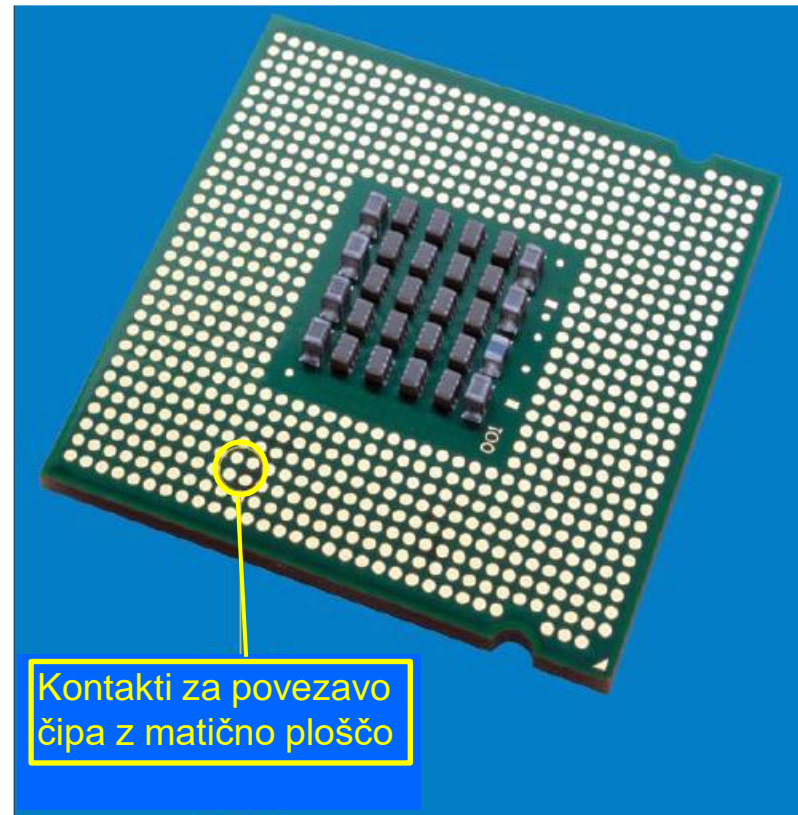




CPE čip na podnožju s kontakti (LGA775)

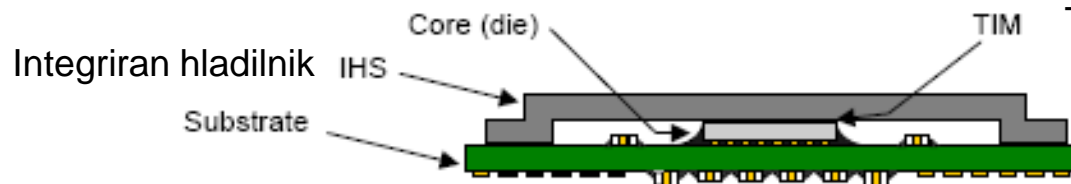


Zgornja stran



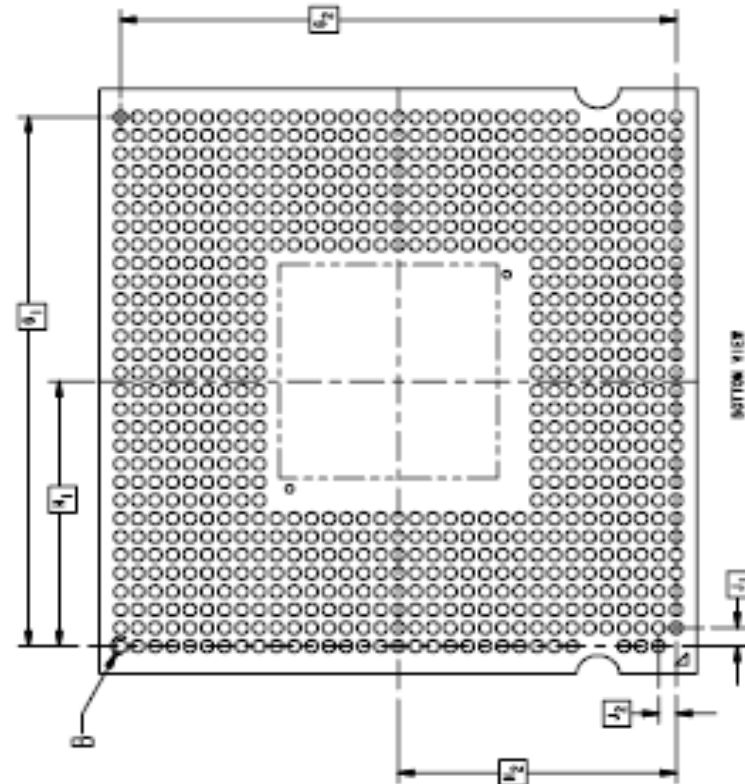
Kontakti za povezavo čipa z matično ploščo

Spodnja stran s kontakti in kondenzatorji



Termično prevoden vmesnik

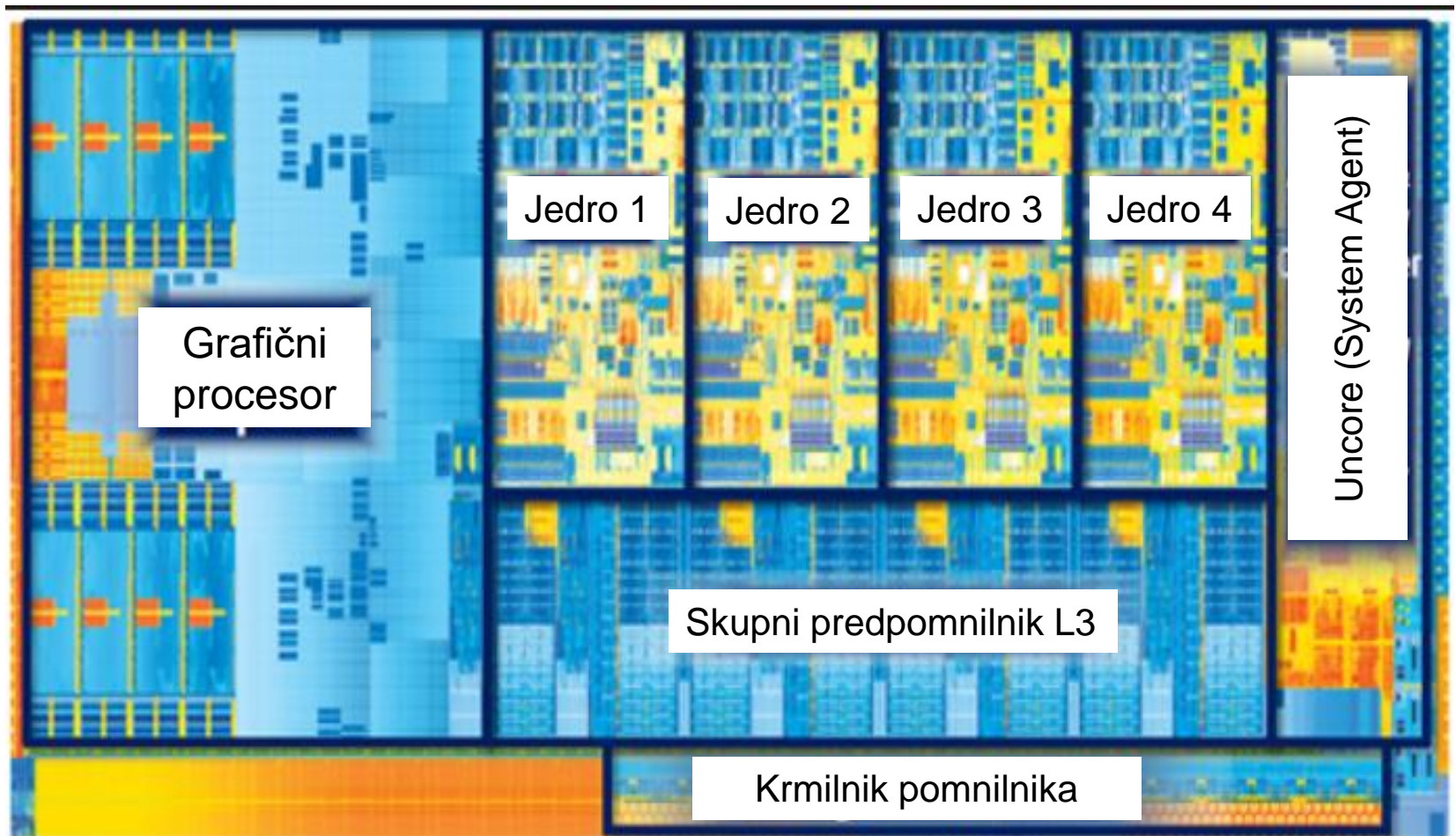
CPE čip s podnožjem in ohišjem - prerez



Podnožje LGA775 - pogled s spodnje strani



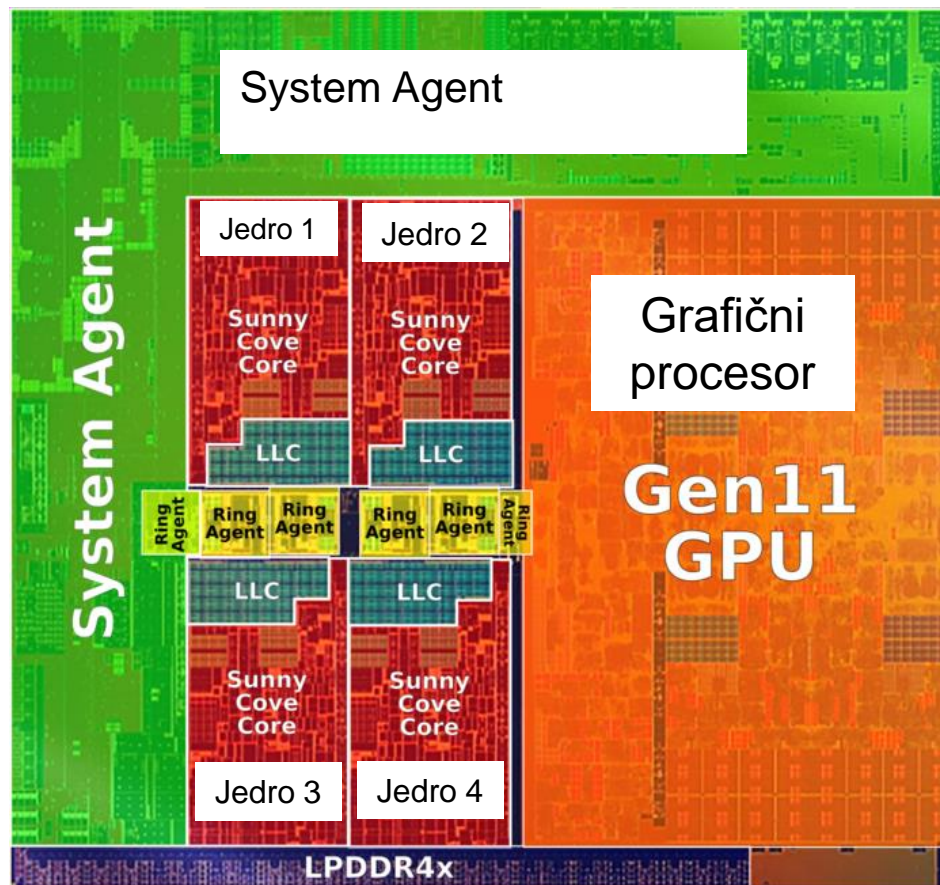
Čip Intel Core i7 (Haswell)





Primer paralelnosti na nivoju ukazov, niti in jeder : Intel 80x86

Čip Intel Core i7
(Ice Lake I.2019)

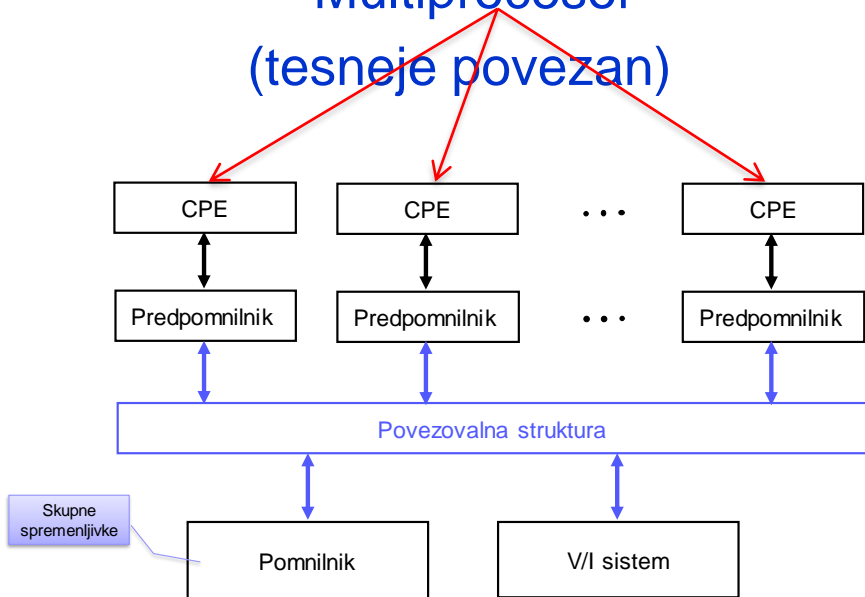




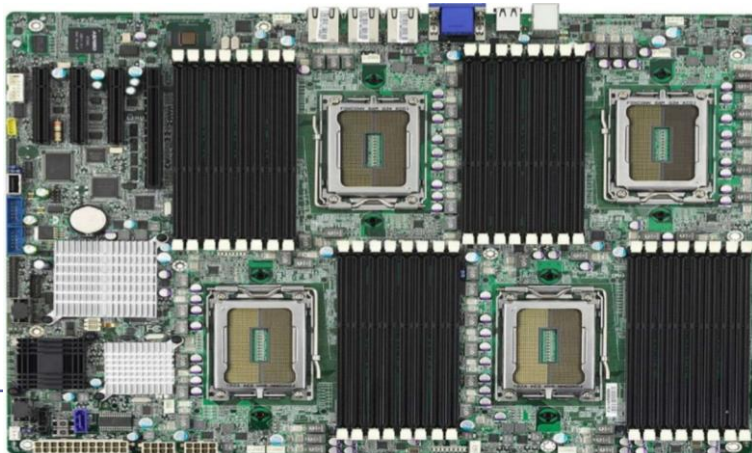
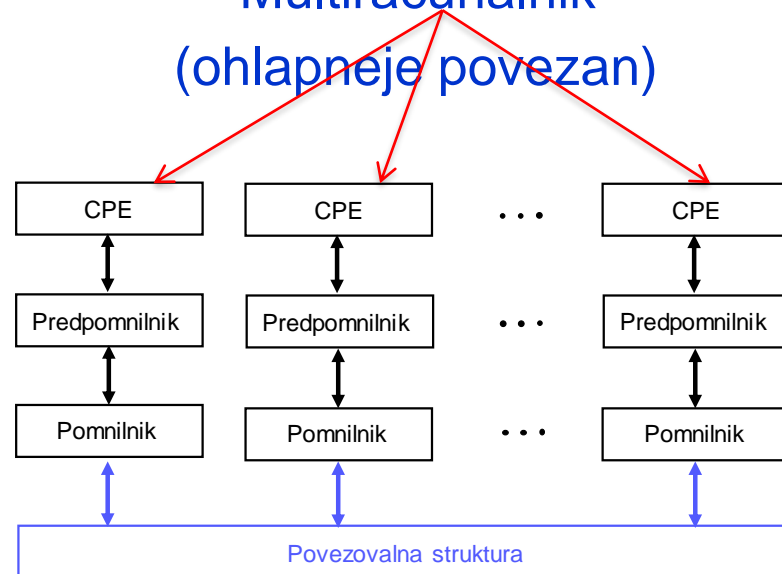
Primer paralelnosti na nivoju CPE: MIMD skupina računalnikov

■ MIMD (Multiple Instruction Multiple Data)

Multiprocesor
(tesneje povezan)

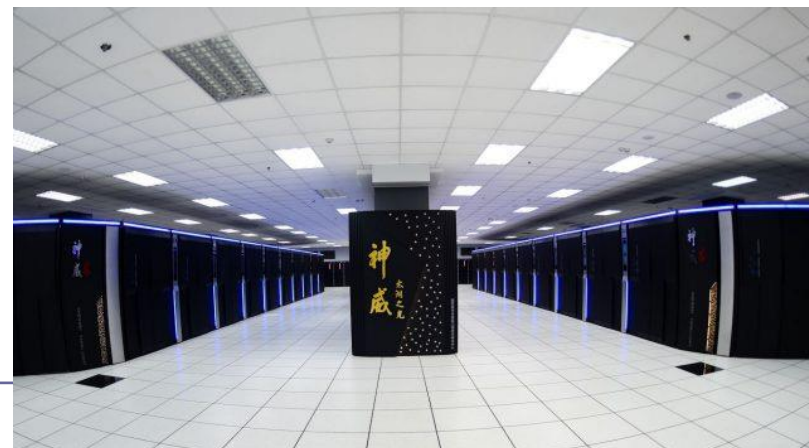


Multiračunalnik
(ohlapneje povezan)



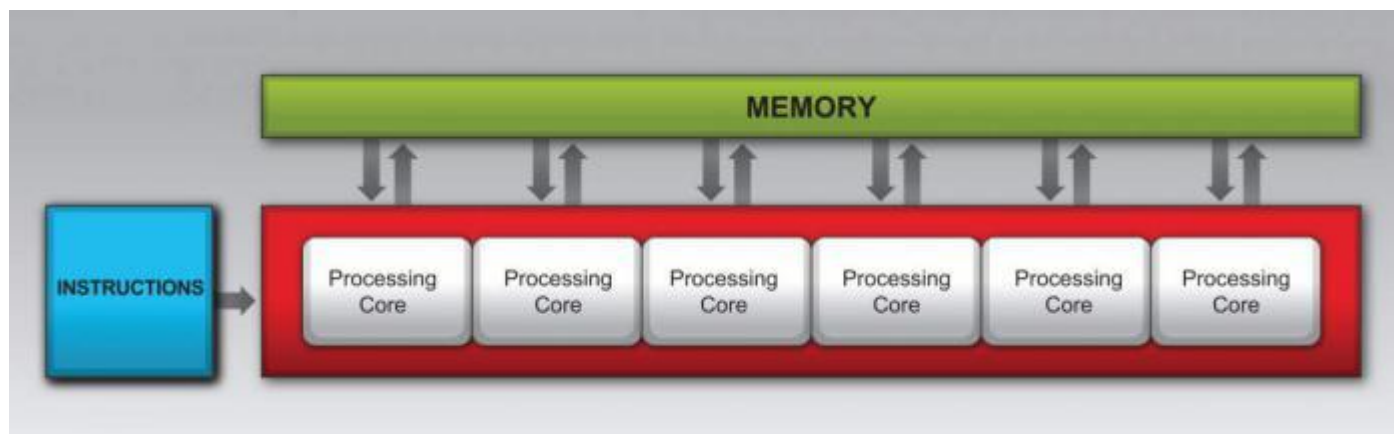
RA

80





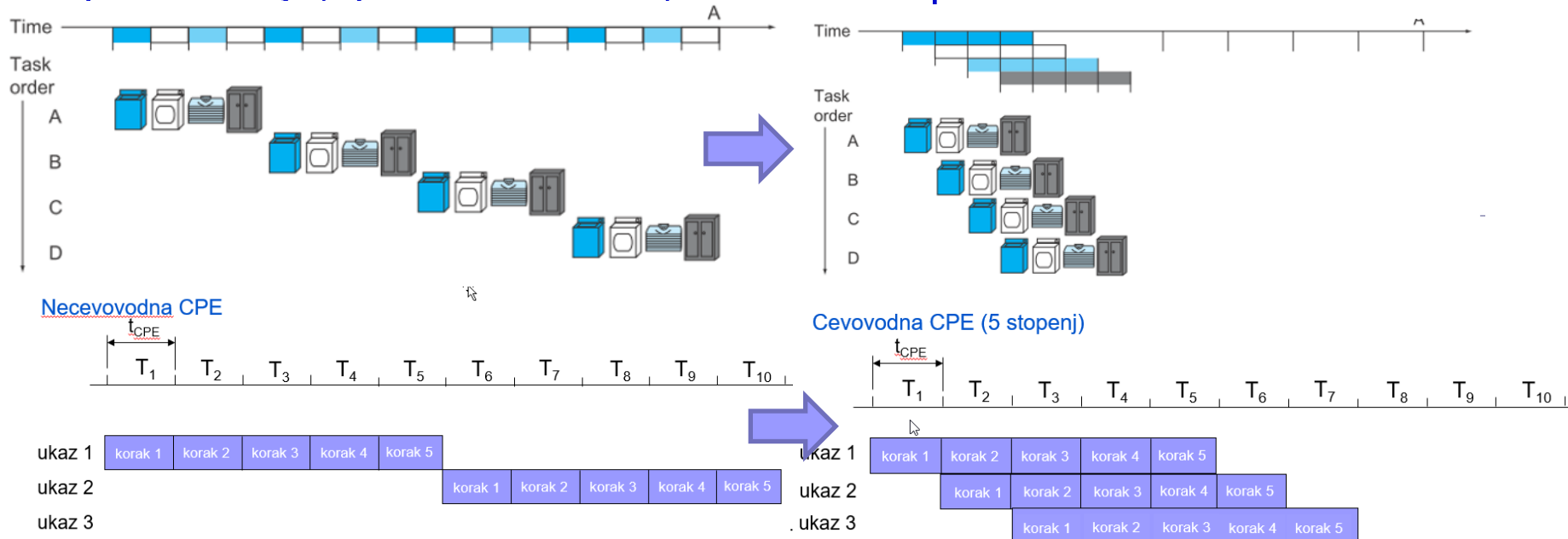
- Paralelno procesiranje večjega števila podatkov





6.6 Cevovodna CPE (podatkovna enota)

- Je realizacija CPE, kjer se hkrati izvršuje več ukazov, tako da se posamezni koraki izvrševanja ukazov prekrivajo.
- V cevovodni CPE se ukazi izvršujejo podobno tekočemu traku v proizvodnji (npr. avtomobilov) ali obdelavi perila :



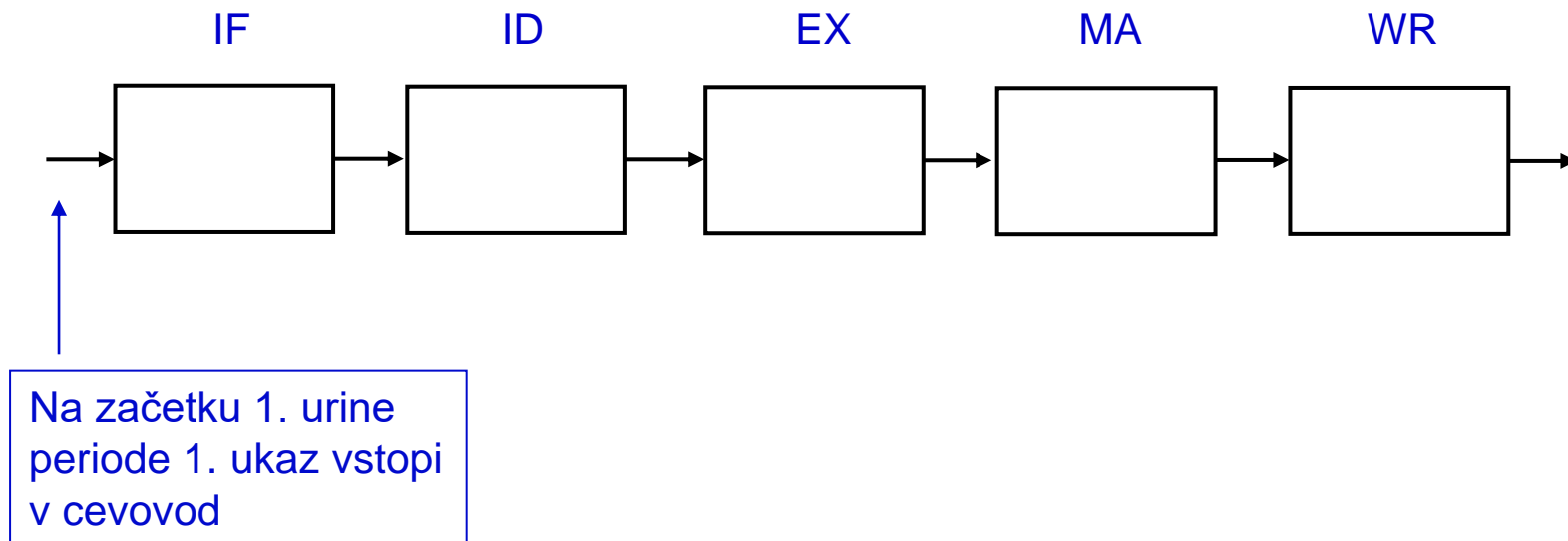
- Izvrševanje ukaza se razdeli na manjše **podoperacije**, za vsako je potreben samo del celotnega časa, ki je potreben za izvršitev ukaza.



- CPE je razdeljena na **stopnje** ali **segmente cevovoda**, ki jih je toliko kot podoperacij v ukazu.
- Vsako podoperacijo izvrši določena stopnja ali segment cevovoda.
- Stopnje so med seboj povezane, ukazi na eni strani vstopajo, potujejo skozi stopnje, v katerih se izvršujejo posamezne podoperacije ukazov in na drugi strani izstopajo.
- V cevovodu je hkrati v izvrševanju toliko ukazov, kot je stopenj.



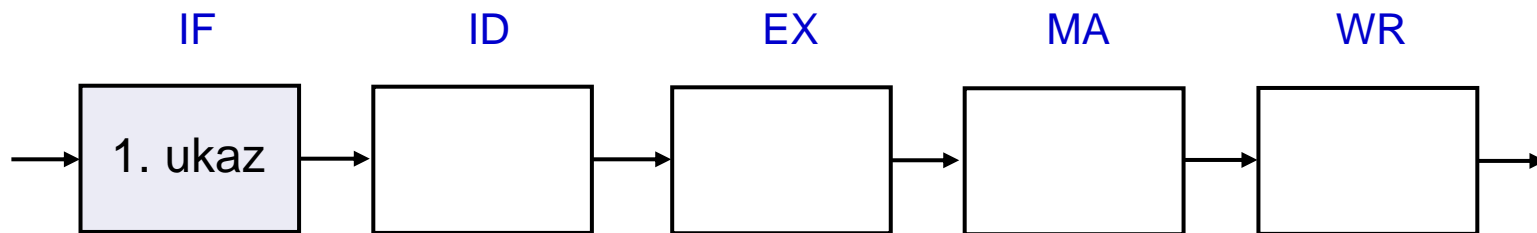
Primer delovanja petstopenjske cevovodne CPE





Primer delovanja petstopenjske cevovodne CPE

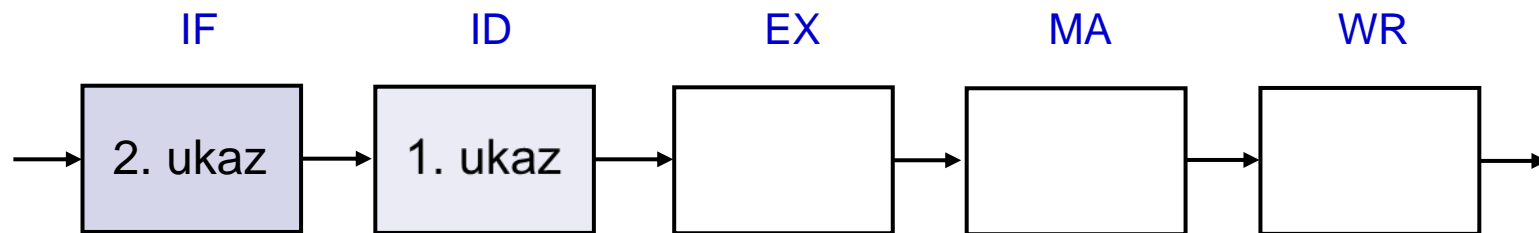
1. urina perioda





Primer delovanja petstopenjske cevovodne CPE

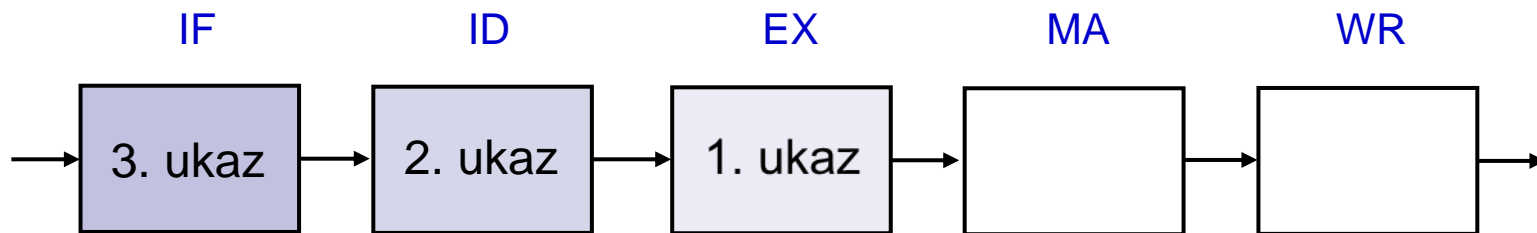
2. urina perioda





Primer delovanja petstopenjske cevovodne CPE

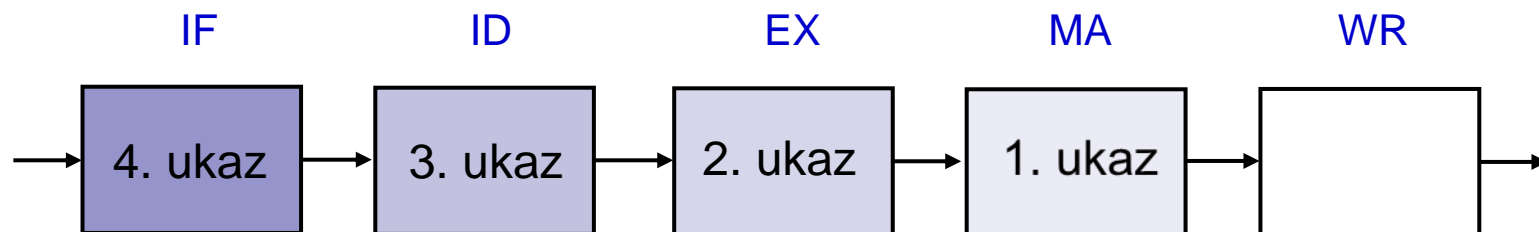
3. urina perioda





Primer delovanja petstopenjske cevovodne CPE

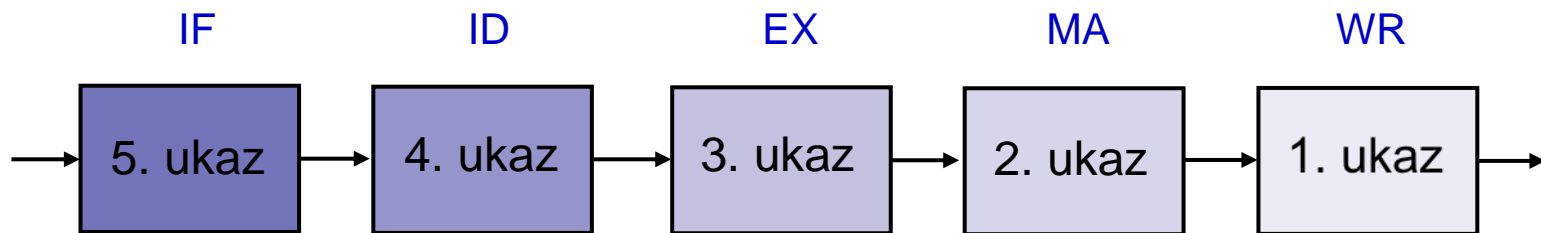
4. urina perioda





Primer delovanja petstopenjske cevovodne CPE

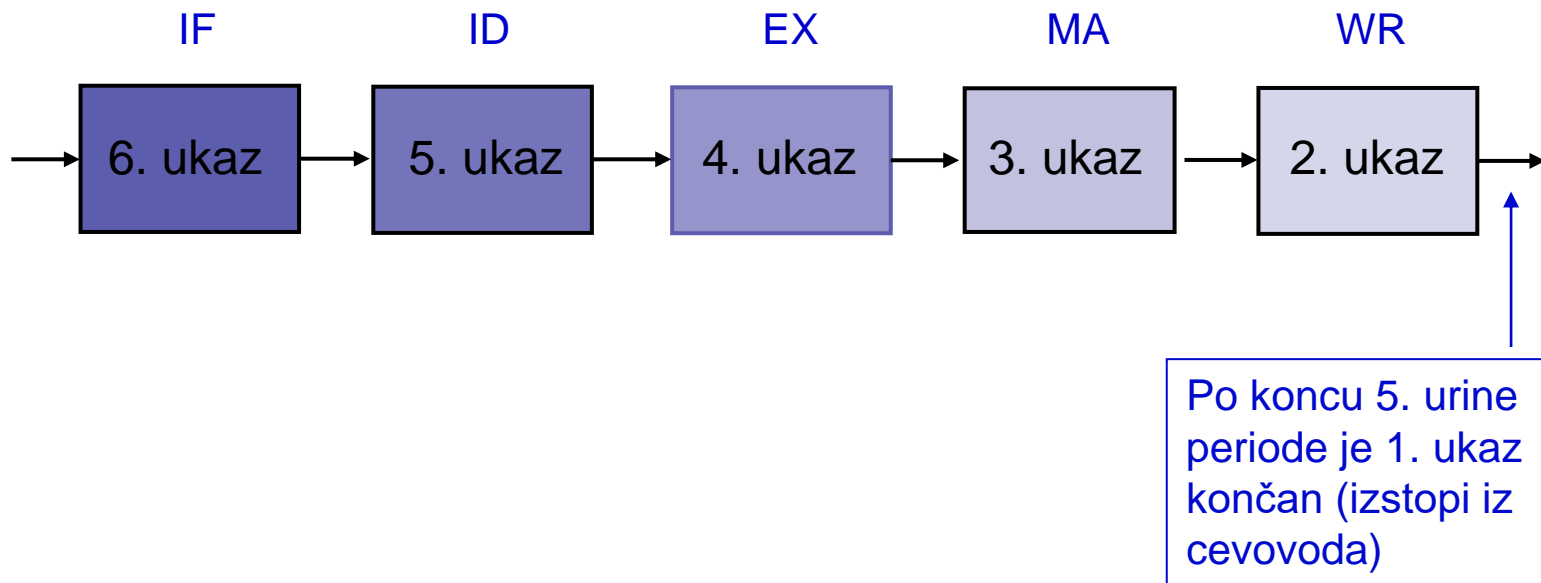
5. urina perioda





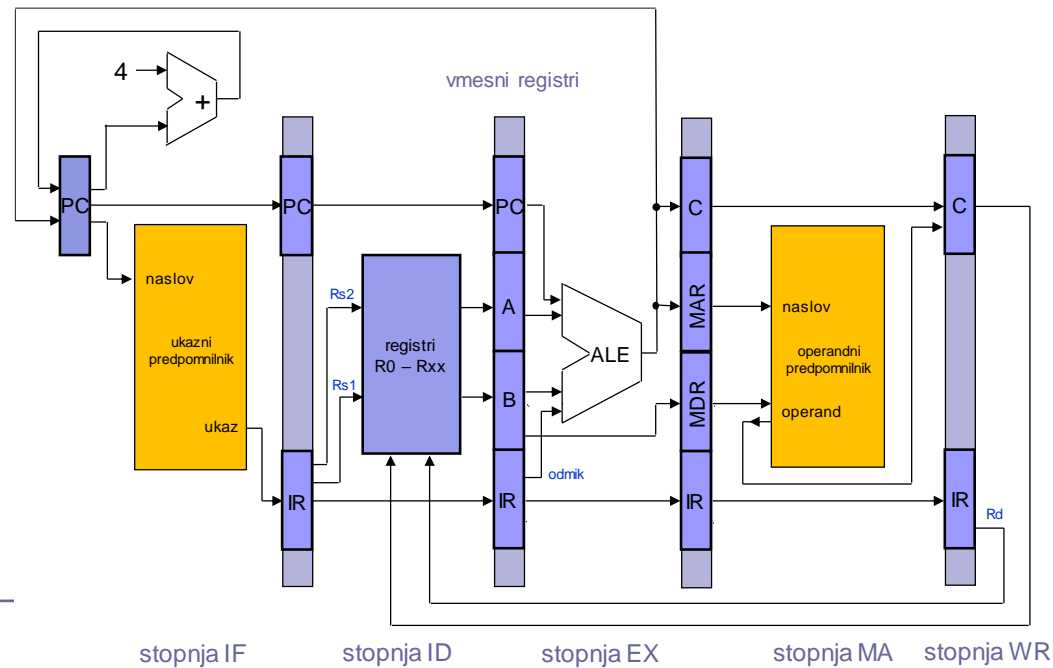
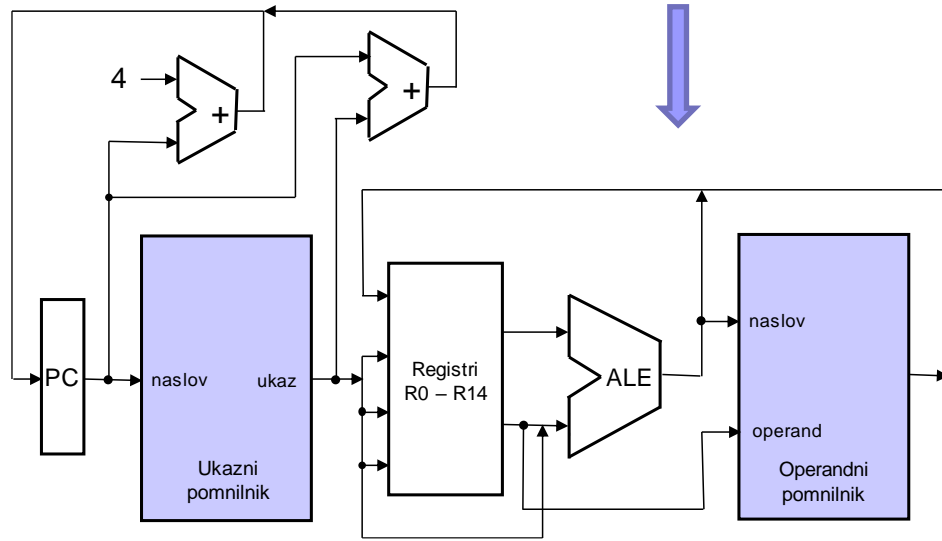
Primer delovanja petstopenjske cevovodne CPE

6. urina perioda





Primerjava necevovodne in 5-stopenjske cevovodne CPE

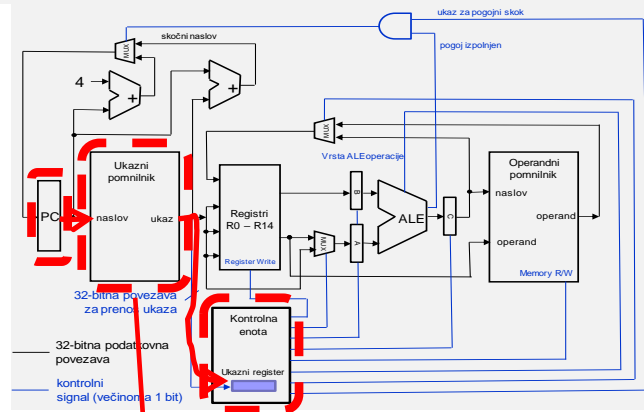


Primerjava izvedbe ukaza v necevovodni in cevovodni CPE

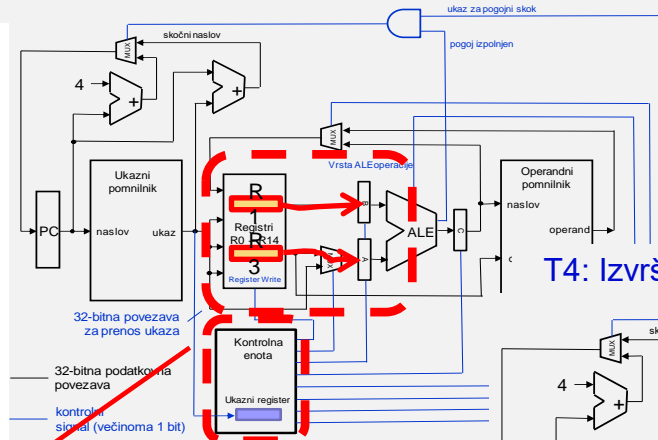


T1: Dostop do ukaza v ukaznem pomnilniku

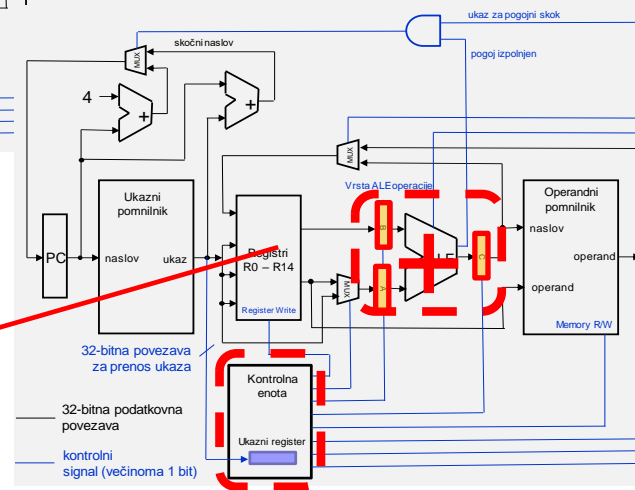
T2: Prenos ukaza iz pomnilnika v ukazni register



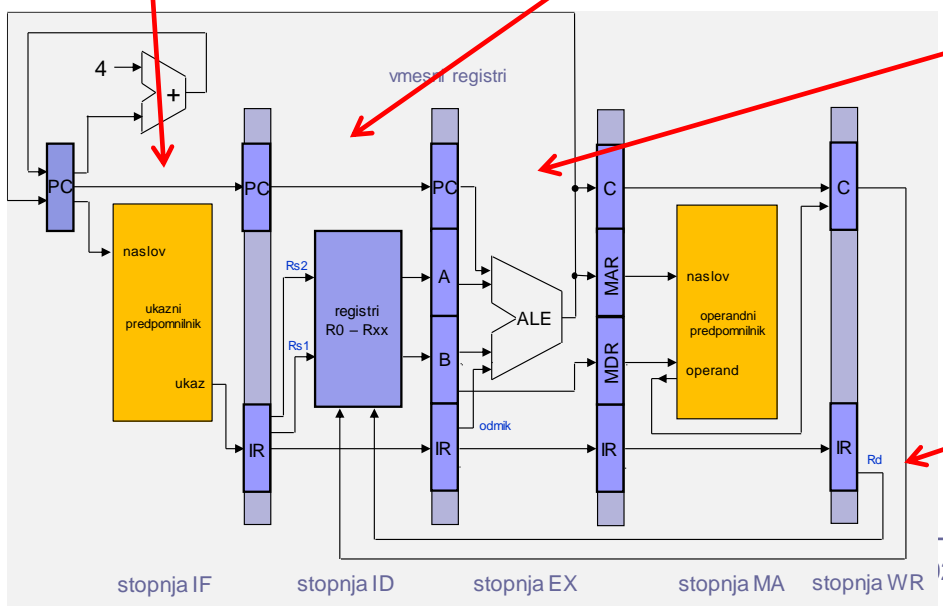
T3: Dekodiranje ukaza in dostop do operandov v R1 in R3



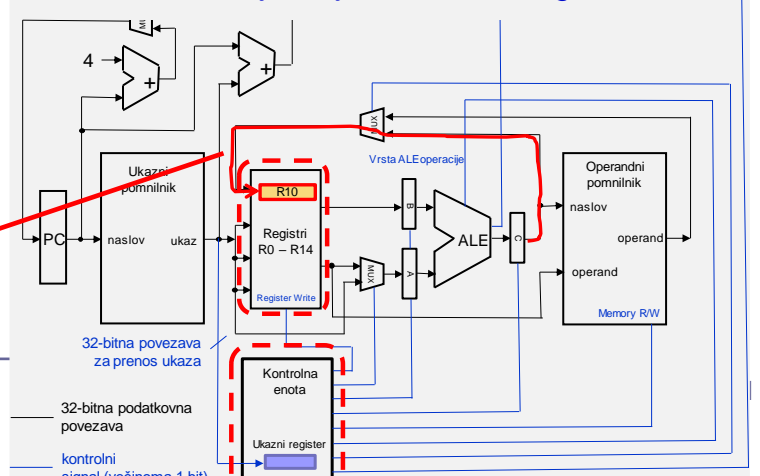
T4: Izvrševanje operacije (seštevanje)



ADD R10, R1, R3



T5: Shranjevanje rezultata v register R10



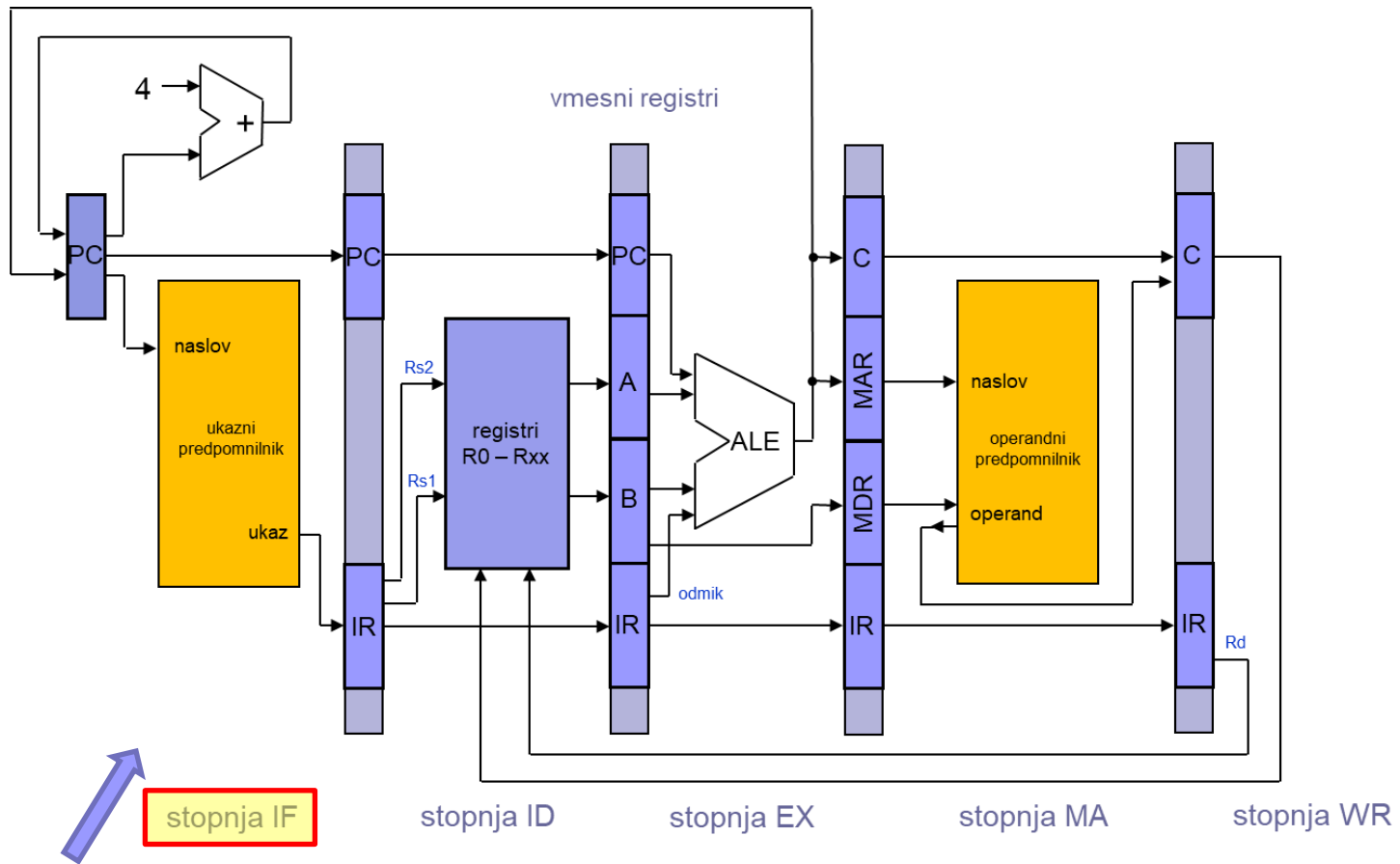


- Izvajanje ukazov lahko razdelimo na primer na 5 splošnih elementarnih korakov (5 stopenjski cevovod) :
 - Prezem ukaza (IF - Instruction Fetch)
 - Dekodiranje ukaza in dostop do registrov (ID - Instruction Decode)
 - Izvrševanje ukaza (EX - Execute)
 - Dostop do pomnilnika (MA - Memory Access)
 - (samo pri ukazih LOAD in STORE)
 - Shranjevanje rezultata v register (WR - Write Register)

- Če lahko vse ukaze poenotimo v te elementarne korake (so dovolj enostavni), potem lahko izvajanje ukazov tudi pohitrimo:
 - izvajamo jih več hkrati (vsakega v svojem elementarnem koraku)
-> cevovod

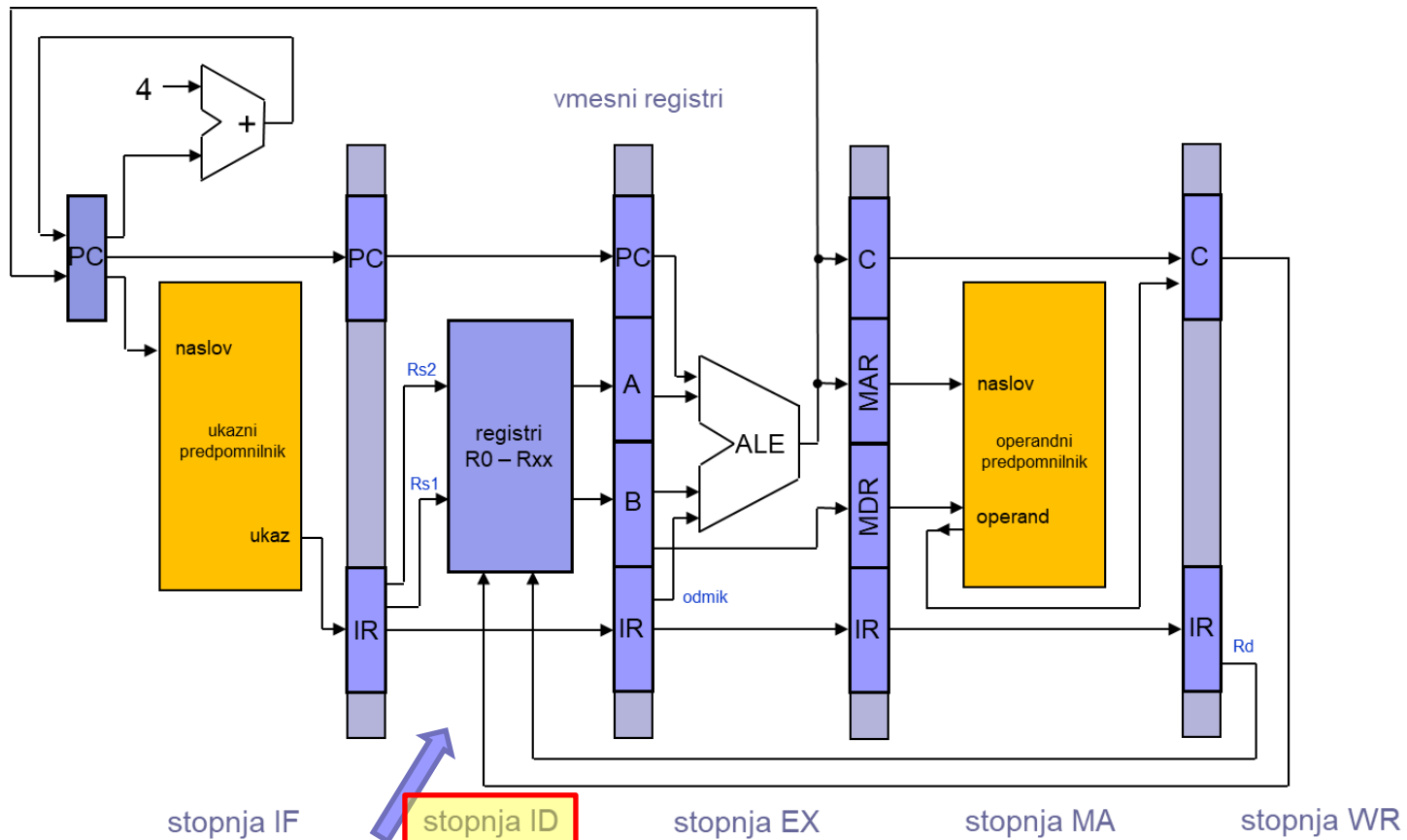


- Zmogljivost cevovodne CPE je določena s hitrostjo izstopanja ukazov iz cevovoda.
- Ker so stopnje med seboj povezane, se mora premik ukaza iz ene stopnje v drugo izvršiti pri vseh hkrati.
- Premik se običajno izvede vsako urino periodo.
- Trajanje urine periode t_{CPE} zato ne more biti krajše kot je čas, ki ga potrebuje za izvedbo podoperacije najpočasnejša stopnja cevovoda.



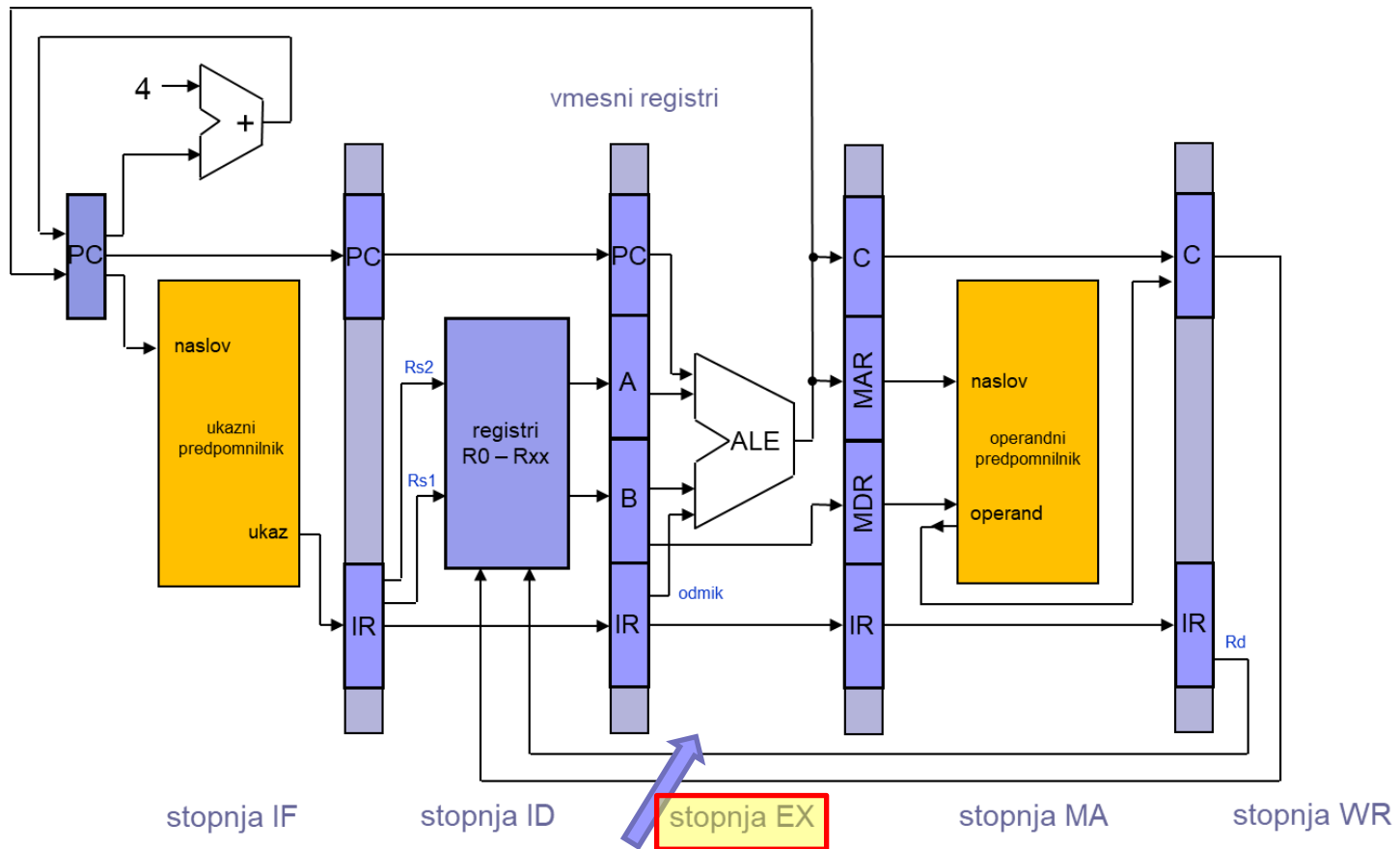
IF = Instruction Fetch
Prevzem ukaza

1. urina perioda



ID = Instruction Decode
 Dekodiranje ukaza in dostop
 do operandov v registrih

2. urina perioda

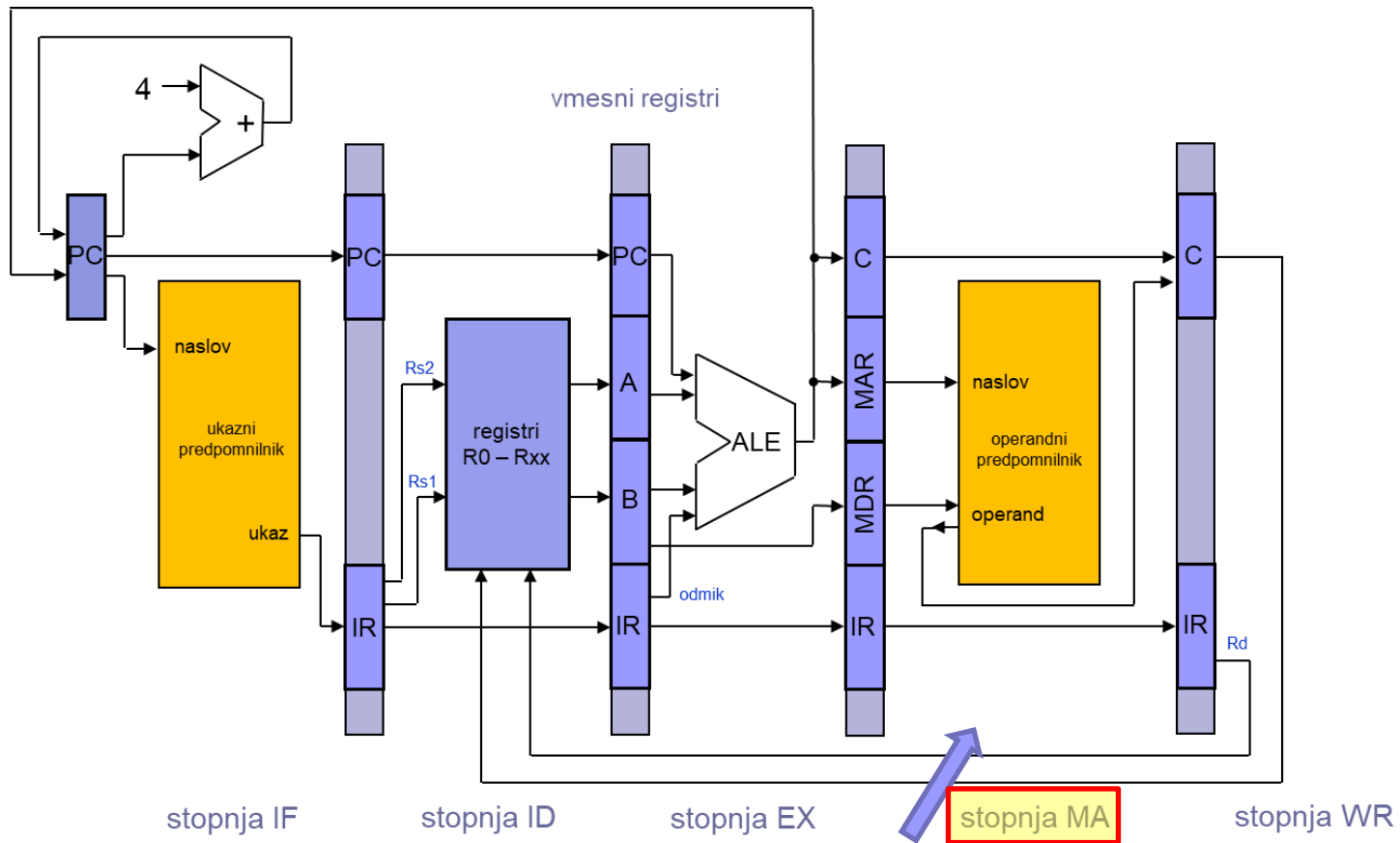


EX = execute
Izvrševanje operacije

3. urina perioda



Primer petstopenjske cevovodne CPE

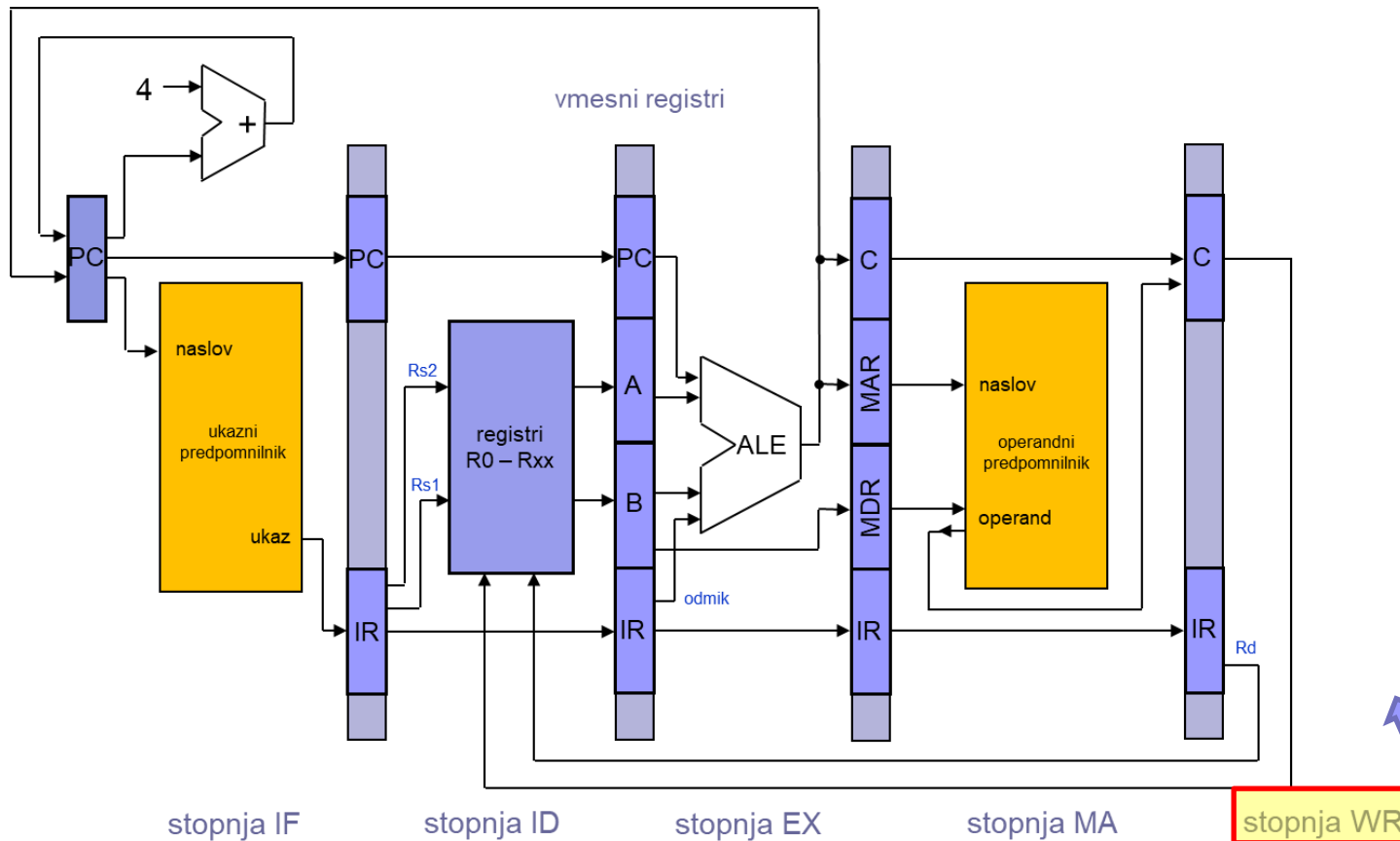


Dostop do operandov v pomnilniku (LOAD/STORE)
MA = Memory Access

4. urina perioda



Primer petstopenjske cevovodne CPE



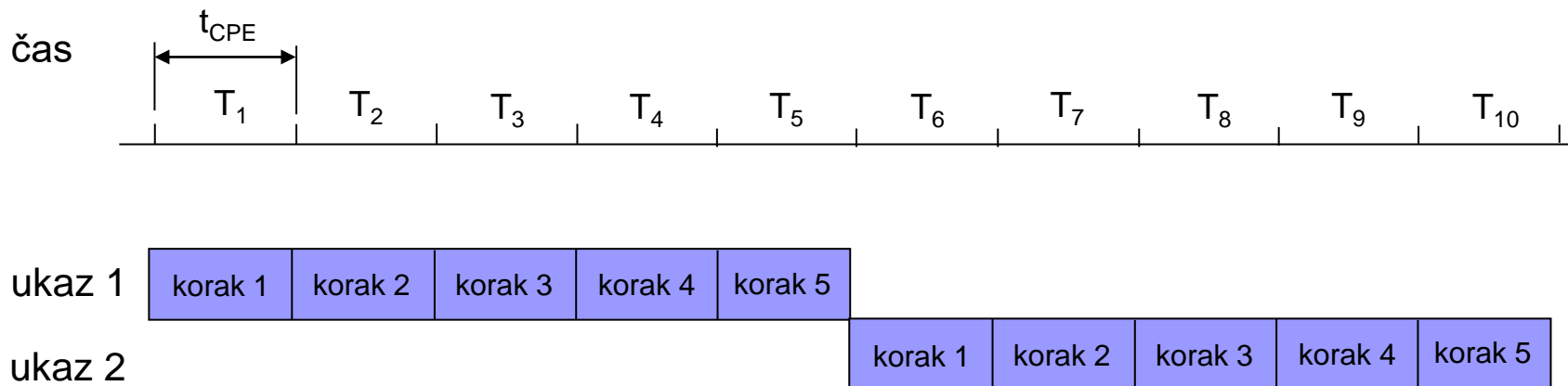
WR = Write Register
Shranjevanje rezultata
(v register)

5. urina perioda

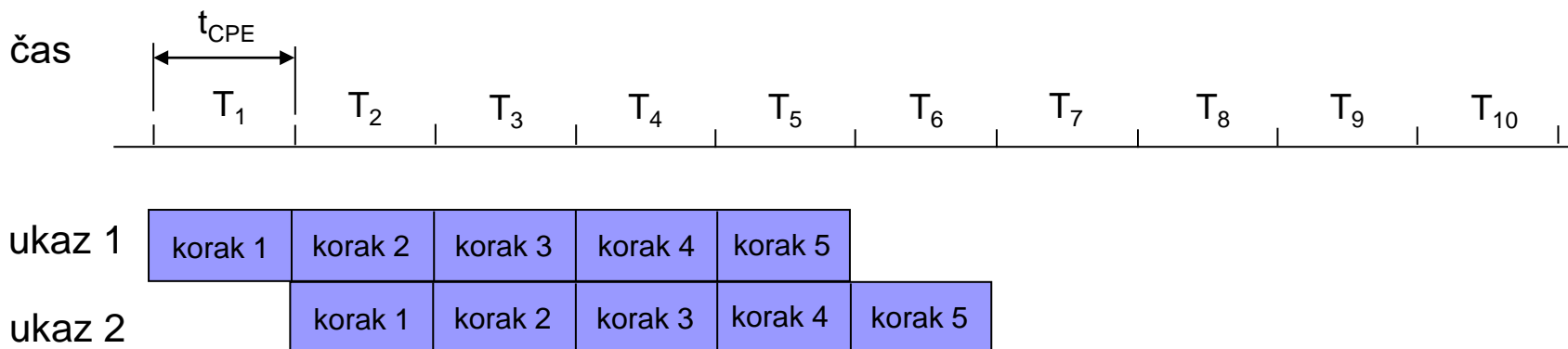


Izvrševanje ukazov pri necevovodni in cevovodni CPE

Necevovodna CPE



Cevovodna CPE



Primerjava: koliko urinih period traja izvajanje treh (ali 100) ukazov v obeh primerih ?



- Danes so vsi zmogljivejši procesorji narejeni kot cevovodni procesorji.
- Pri razvoju cevovodne CPE se stremi za tem, da izvrševanje vseh podoperacij traja približno enako dolgo - uravnotežen cevovod.
- Pri idealno uravnoteženi CPE z N stopnjami ali segmenti je zmogljivost N -krat večja kot pri necevovodni CPE.
- Vsak posamezen ukaz se ne izvrši nič hitreje, se pa v cevovodu hkrati izvršuje N ukazov.



- Na izhodu cevovoda dobimo v enakem času N -krat več izvršenih ukazov kot pri necevovodni CPE.
- Povprečno število urinih period na ukaz (CPI) je v idealnem primeru N -krat manjše kot pri necevovodni CPE.
- Trajanje izvrševanja posameznega ukaza (latenca) pa je enako $N \times t_{CPE}$, torej pri enaki urini periodi enako kot pri necevovodni CPE.



- Ali bi pri dovolj velikem številu stopenj N lahko naredili poljubno hitro CPE (N -krat hitrejšo)?
 - Ne. Ukazi, ki so istočasno v cevovodu (vsak v svoji stopnji), so lahko med seboj na nek način odvisni in se zato določen ukaz ne more vedno izvajati v naslednji urini periodi.

- Te dogodke imenujemo **cevovodne nevarnosti** (pipeline hazards).



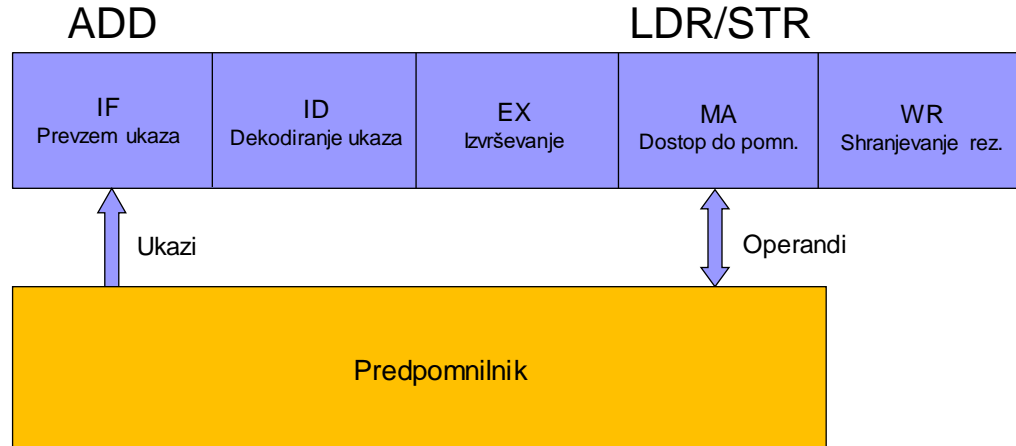
- Razlikujemo tri vrste cevovodnih nevarnosti:
 - **Strukturne nevarnosti** - kadar več stopenj cevovoda v isti urini periodi potrebuje isto enoto
 - **Podatkovne nevarnosti** - kadar nek ukaz potrebuje rezultat predhodnega ukaza, ki pa še ni končan
 - **Kontrolne nevarnosti** - pri ukazih, ki spreminjajo vrednost PC (kontrolni ukazi: skoki, klici, ...)



Cevovodna CPE - vrste cevovodnih nevarnosti:

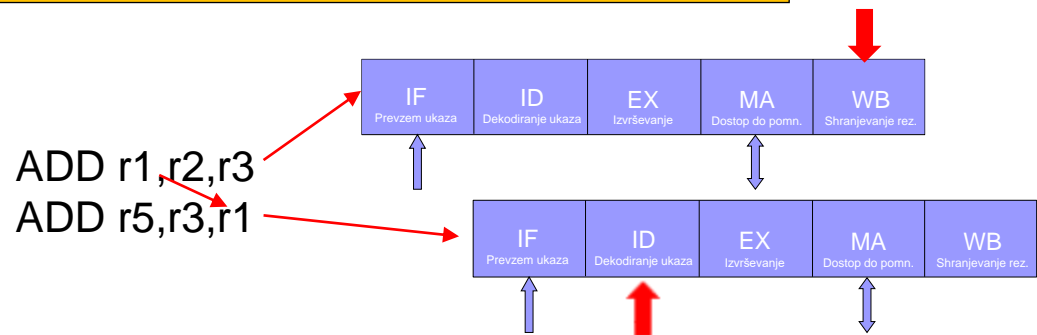
■ Strukturne nevarnosti

- Dostop do iste enote (npr. predpomn.)



■ Podatkovne nevarnosti

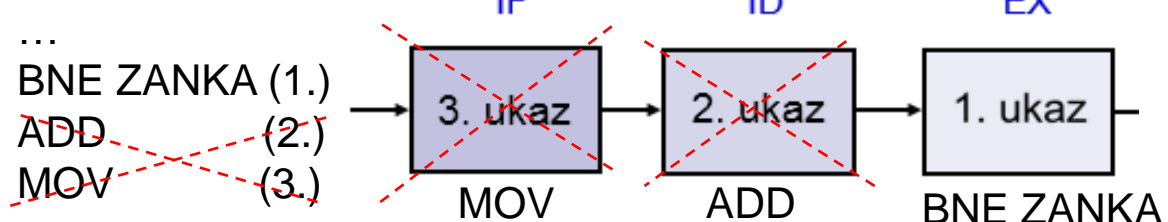
- Medsebojna odvisnost med ukazi



■ Kontrolne nevarnosti

- Skočni ukazi (polnjenje cevovoda)

ZANKA:





- Zaradi **cevovodnih nevarnosti moramo poskrbeti za pravilno izvajanje programa, zato :**
 - se mora vsaj del cevovoda ustaviti dokler nevarnost ne mine (cevovod takrat ne sprejema novih ukazov – „zaklenitev“)
 - Manj učinkovita rešitev !

- Zaradi cevovodnih nevarnosti :
 - Povečanje hitrosti **ni *N-kratno***.
 - **Realni CPI se poveča: $CPI > 1$** (Idealni cevovodni $CPI = 1$)

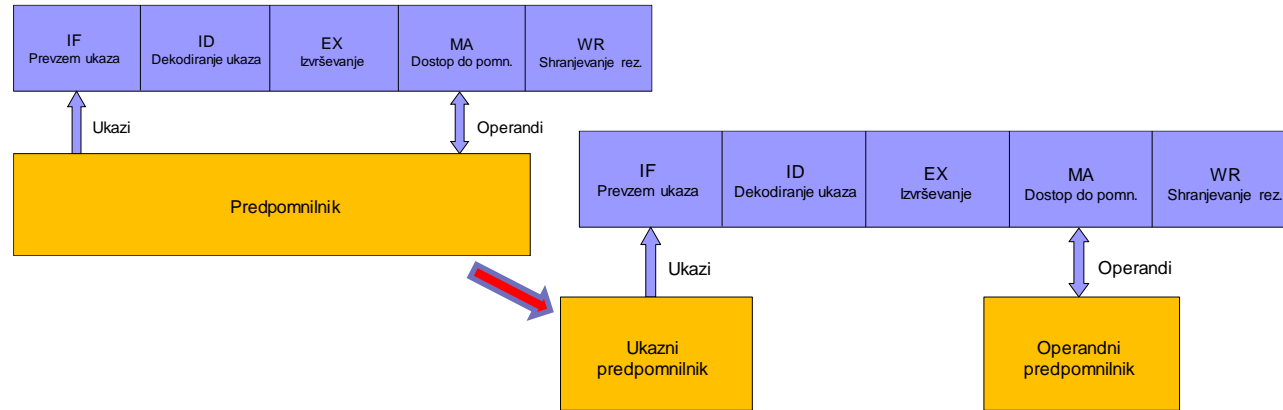
- Iščemo **bolj učinkovite rešitve** za cevovodne nevarnosti



Cevovodna CPE – primeri **bolj učinkovitih rešitev** cevovodnih nevarnosti:

Strukturne nevarnosti

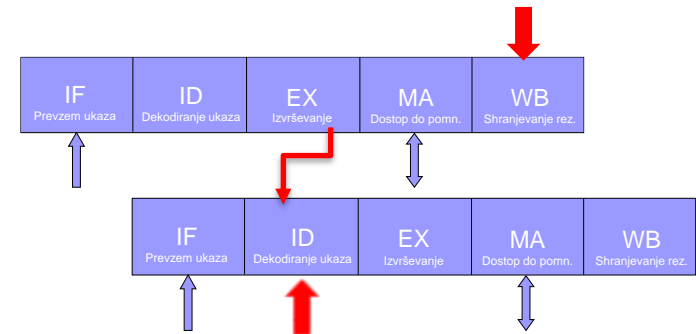
- Rešitev → ločitev predpomnilnikov
 - ukazi, operandi
 - Harvardska arh.



Podatkovne nevarnosti

- Pomaga tudi razvrščanje ukazov (program)
- Rešitev → premoščanje

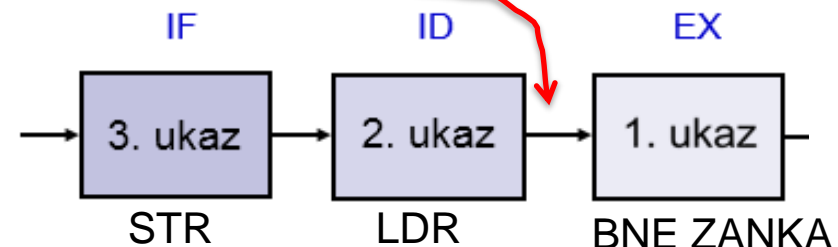
ADD r1,r2,r3
ADD r5,r3,r1



Kontrolne nevarnosti

- Rešitev → napoved skoka (pogoja in naslova)
 - Polnimo cevovod s „pravimi“ ukazi

ZANKA:
LDR (2.)
STR (3.)
BNE ZANKA (1.)
ADD
MOV



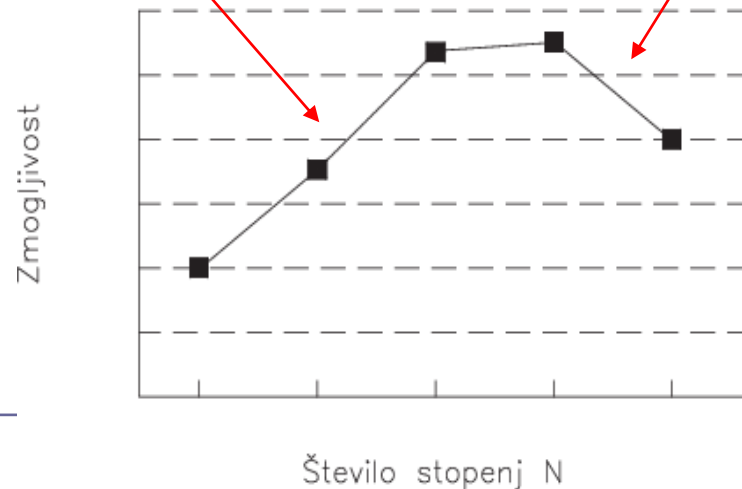


Ideal:

- N stopenj – N-kratna pohitritev ?
- Idealni primer: $CPI = 1$

Realnost:

- Ali bi pri dovolj velikem številu stopenj N lahko naredili poljubno hitro CPE?
 - Ne!
- Daljši kot je cevovod, več je ukazov hkrati v cevovodu in cevovodne nevarnosti se pojavljajo pogosteje.





6.7 Primeri cevovodnih CPE

- Poenostavljen 5-stopenjski cevovod
- FRI SMS Atmel 9260 ARMv5



Poenostavljen 5-stopenjski cevovod

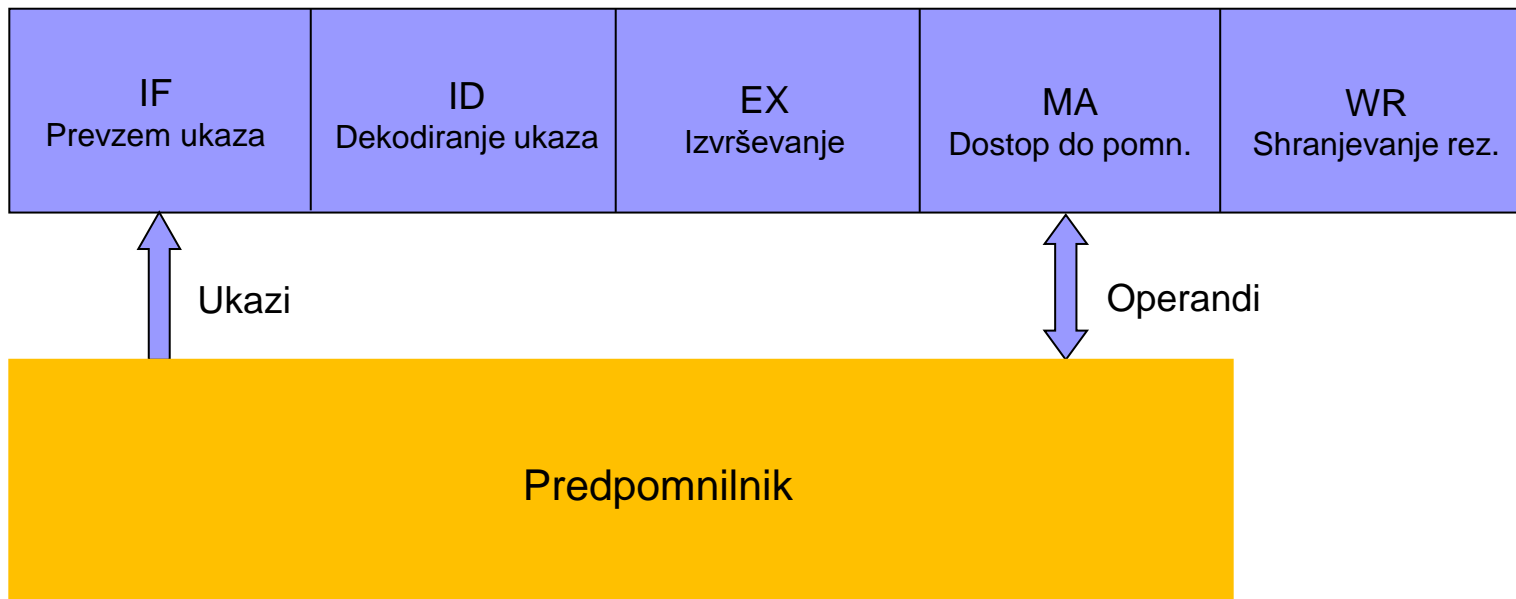
- Osnova naj bo izvajanje ukazov v petih korakih, kot smo ga opisali v prejšnjem poglavju.
- Izvrševanje ukaza razdelimo na pet podoperacij v skladu s koraki iz prejšnjega poglavja, CPE pa v pet stopenj oziroma segmentov:
 - Stopnja IF (Instruction Fetch) - prevzem ukaza
 - Stopnja ID (Instruction Decode) - dekodiranje ukaza in dostop do registrov
 - Stopnja EX (Execute) - izvrševanje operacije
 - Stopnja MA (Memory Access) - dostop do pomnilnika
 - Stopnja WR (Write Register) - shranjevanje rezultata



- Vsaka stopnja cevovoda mora izvršiti svojo podoperacijo v eni urini periodi.
- V stopnjah IF in MA lahko pride do hkratnega dostopa do pomnilnika (v isti urini periodi) - strukturna nevarnost.
- Da odpravimo to vrsto strukturne nevarnosti, moramo predpomnilnik razdeliti v ukazni in operandni predpomnilnik (Harvardska arhitektura).



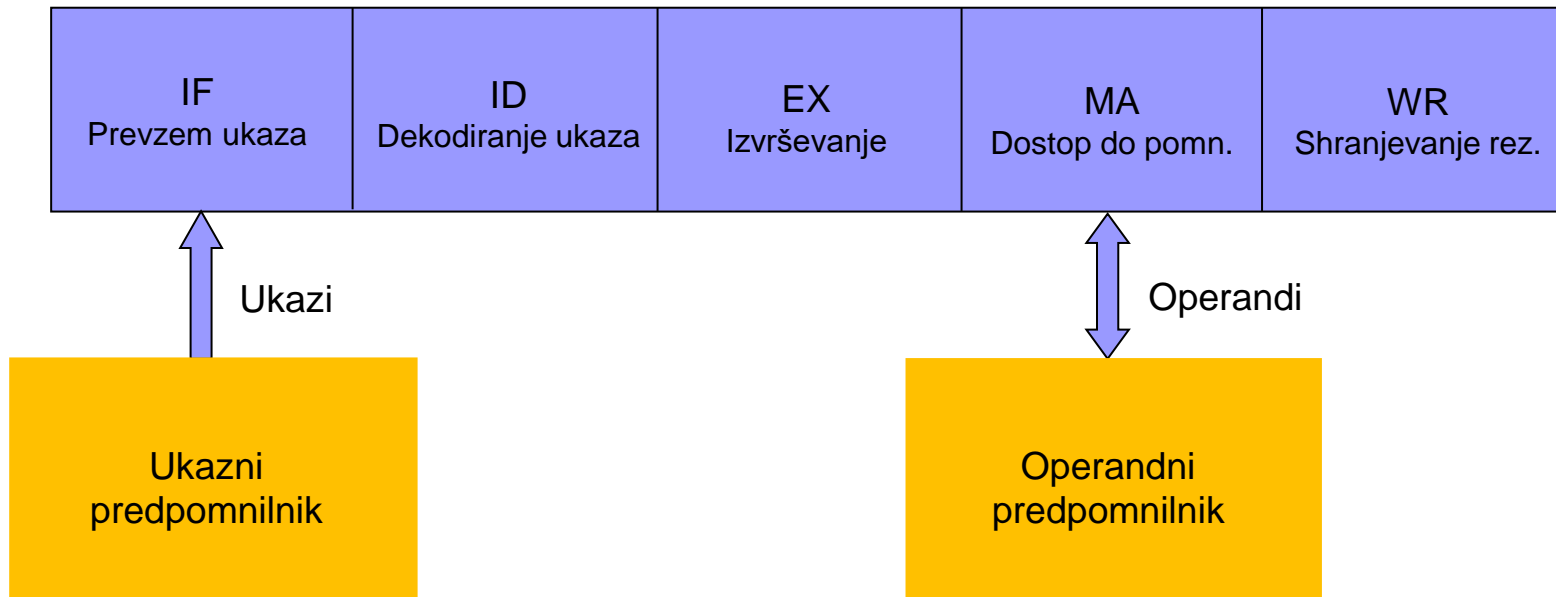
Cevovodna CPE



Pri hkratnem dostopu do ukaza (stopnja IF) in operanda v predpomnilniku (stopnja MA), pride do strukturne cevovodne nevarnosti



Cevovodna CPE



Strukturna nevarnost, ki bi nastopila zaradi hkratnega dostopa stopenj IF in MA do pomnilnika, je odpravljena s Harvardsko arhitekturo predpomnilnika

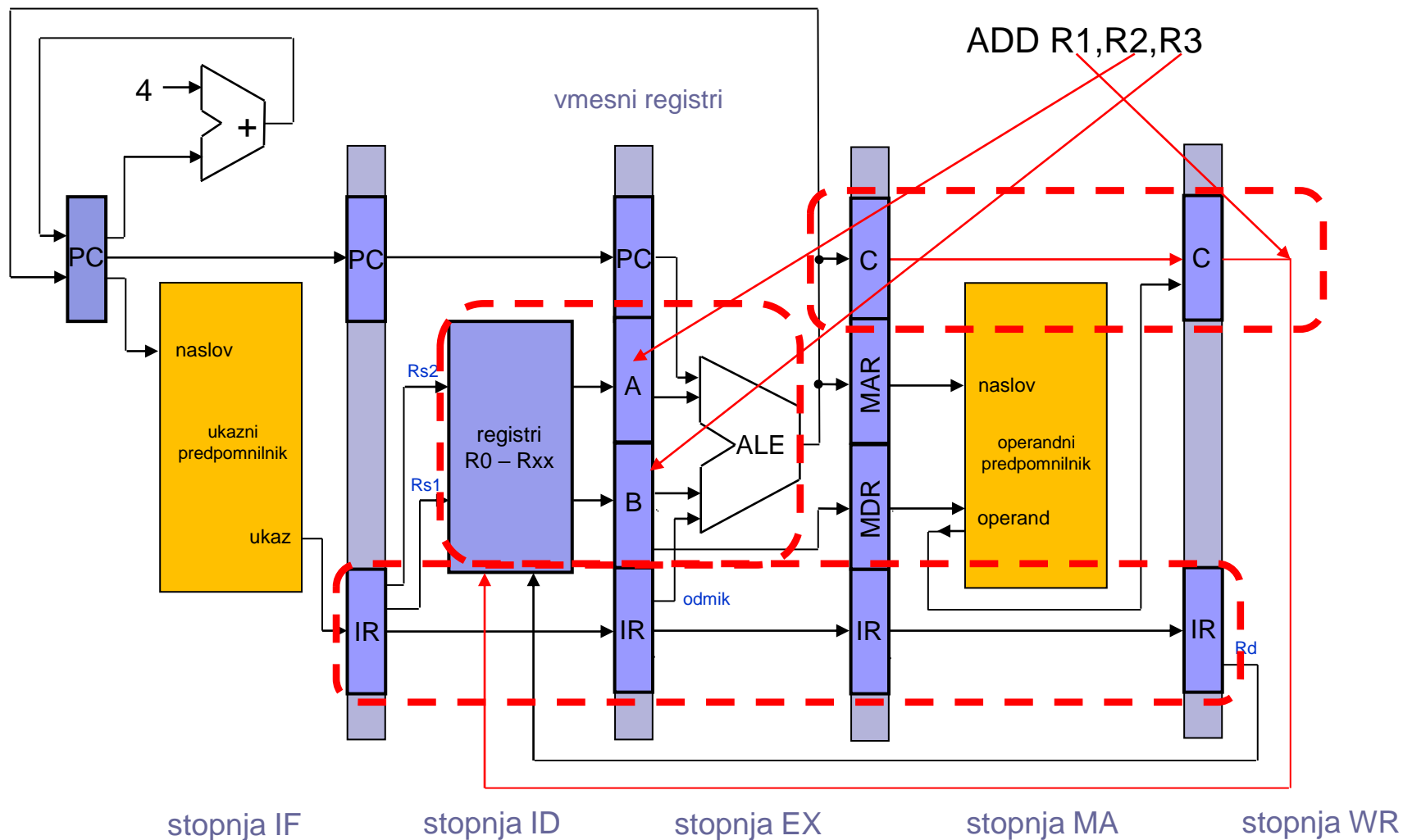


- V stopnji IF se dostop do ukaznega predpomnilnika opravi vsako urino periodo, pri necevovodni CPE pa (v našem primeru) samo na vsakih pet urinih period.
- Hitrost prenosa informacij med predpomnilnikom in CPE mora biti zato v našem primeru petkrat večja kot pri necevovodni CPE.
- Pri načrtovanju cevovodne CPE je treba paziti, da od neke enote (register, ALE, ...) ne zahtevamo, da bi v določeni urini periodi morala delati dve različni operaciji.



Primer zgradbe 5-stopenjske cevovodne CPE

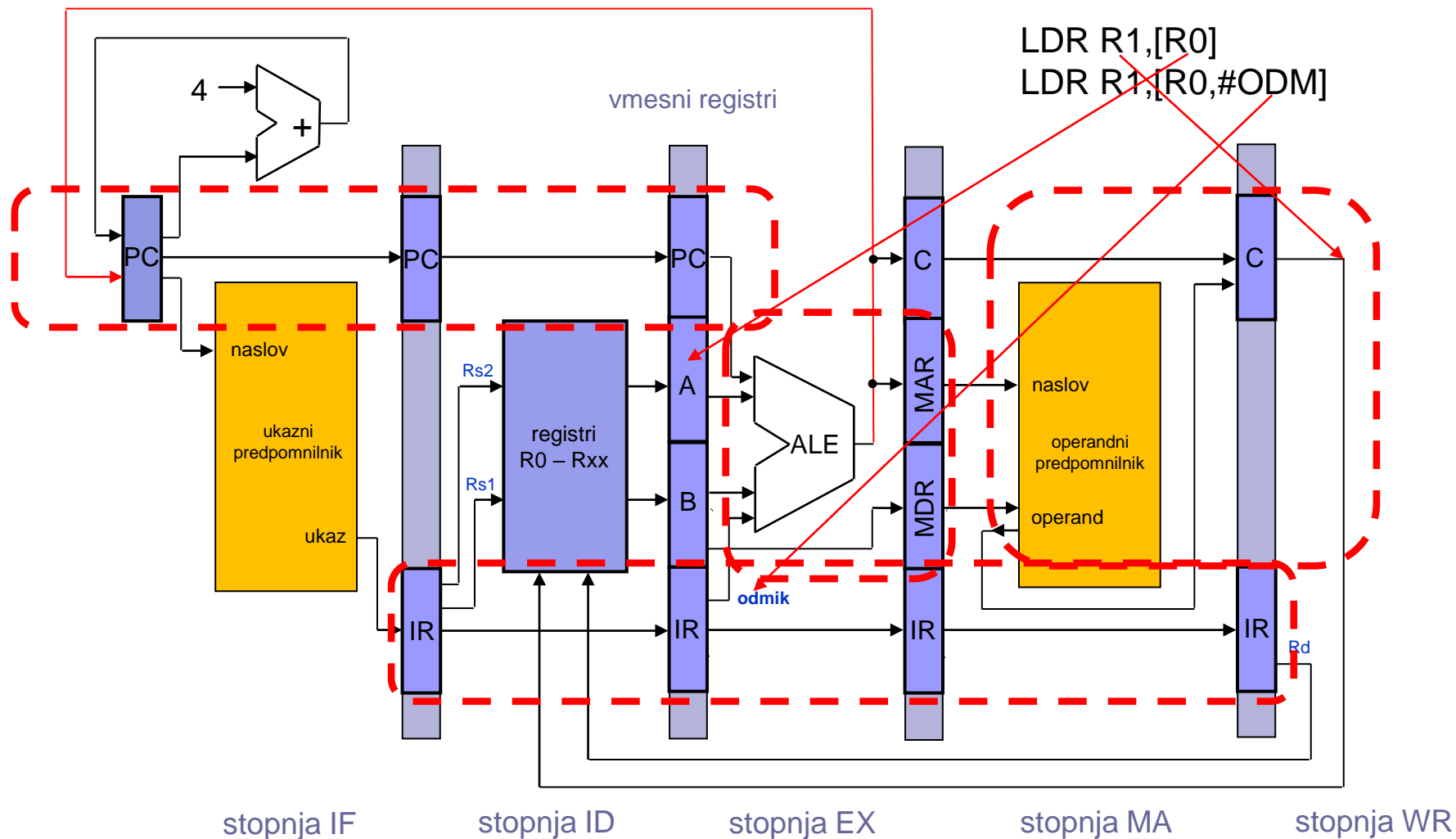
(ALE ukaz: npr. ADD R1,R2,R3)





Primer zgradbe 5-stopenjske cevovodne CPE

(možnost izračuna skočnega naslova in naslova za LOAD/STORE v ALE v stopnji EX)

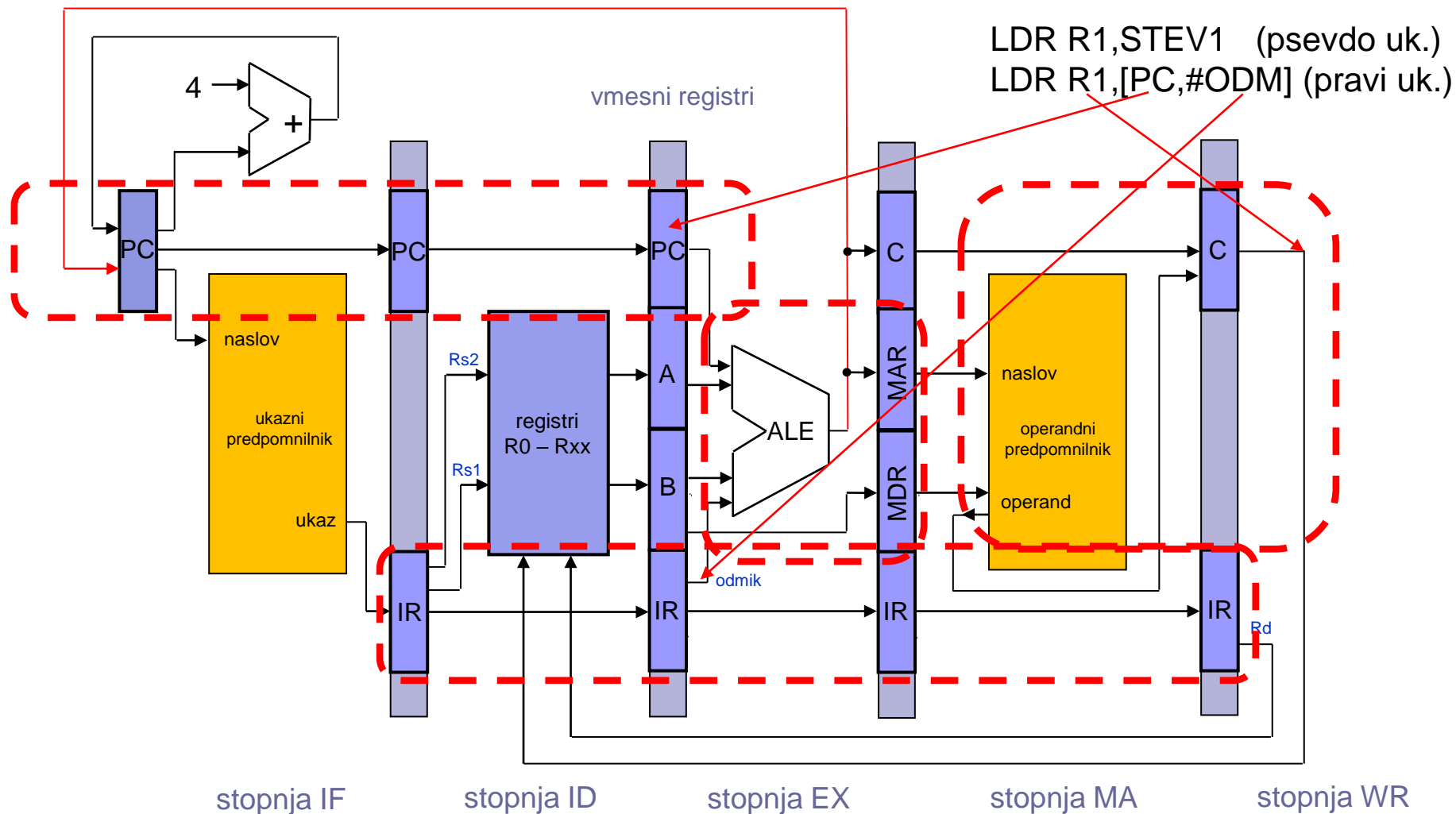


~~LDR R1,[R0]~~
LDR R1,[R0,#ODM]



Primer zgradbe 5-stopenjske cevovodne CPE

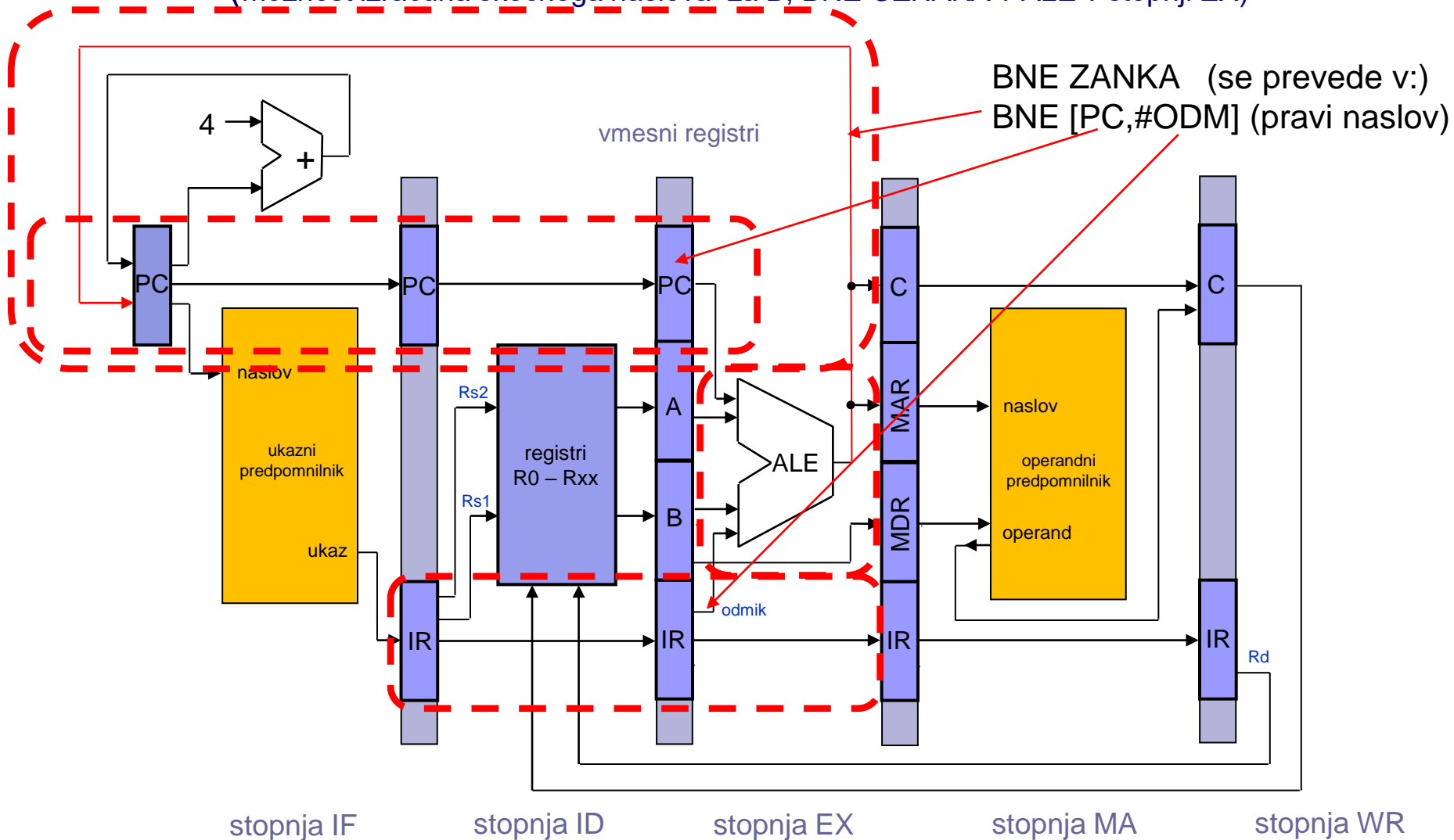
(možnost izračuna skočnega naslova in naslova za LOAD/STORE v ALE v stopnji EX)





Primer zgradbe 5-stopenjske cevovodne CPE

(možnost izračuna skočnega naslova za B, BNE OZNAKA v ALE v stopnji EX)





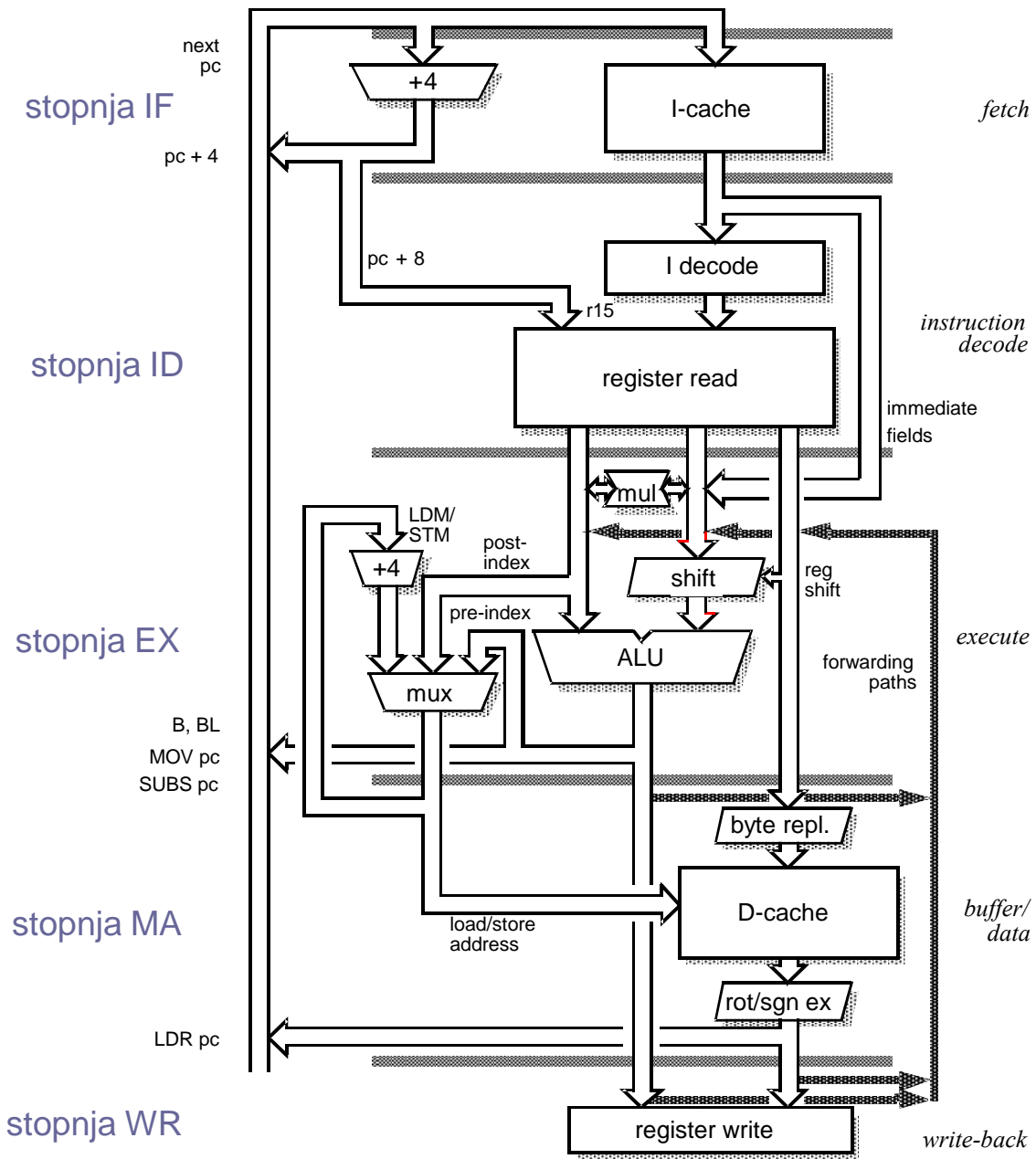
Primer zgradbe 5-stopenjske cevovodne CPE

- Cevovod ima 5 stopenj, med njimi so vmesni registri, v katere se shranijo rezultati podoperacij vsake stopnje, ki jih potrebujejo druge stopnje.
- V stopnji IF se prebere ukaz, ki se prenese v ukazni register in za 4 poveča vsebina programskega števca PC(ukazi so dolgi 4 bajte).
- Programski števec je potrebno povečati v stopnji IF zato, ker se vsako urino periodo iz ukaznega predpomnilnika prevzame nov ukaz.



- Naslov ukaza, ki se izvaja (vsebina PC), se shranjuje v vmesne registre, ker je pri skočnih ukazih potreben v stopnji EX.
- Pri skočnih ukazih se v PC namreč vpiše nova vrednost (skočni naslov), ki se izračuna v ALE v stopnji EX.
- Naslov operanda pri ukazih LOAD/STORE (posredno naslavljanje) se prav tako izračuna v ALE v stopnji EX.
- Vsaka stopnja izvršuje drug ukaz, zato je treba v vmesne registre IR med vsemi stopnjami vedno shranjevati tudi ukaz, ki se v stopnji IF vsako urino periodo prebere iz ukaznega predpomnilnika.

Konkretni primer zgradbe
 5-stopenjske cevovodne
 CPE
 FRI SMS Atmel 9260
 ARMv5





6.8 Večizstavitveni procesorji

- S cevovodno CPE in z odpravljanjem cevovodnih nevarnosti lahko dosežemo CPI, ki je blizu 1.
- Če želimo CPI zmanjšati pod 1, moramo v vsaki urini periodi prevzeti več ukazov (in jih tudi izvesti).
- Take procesorje označujemo z izrazom večizstavitveni procesorji in jih delimo na dve vrsti:
 - Superskalarni procesorji – ukaze, ki se paralelno izvajajo, določa logika v procesorju
 - VLIW procesorji – ukaze, ki se paralelno izvajajo, določa program (prevajalnik)

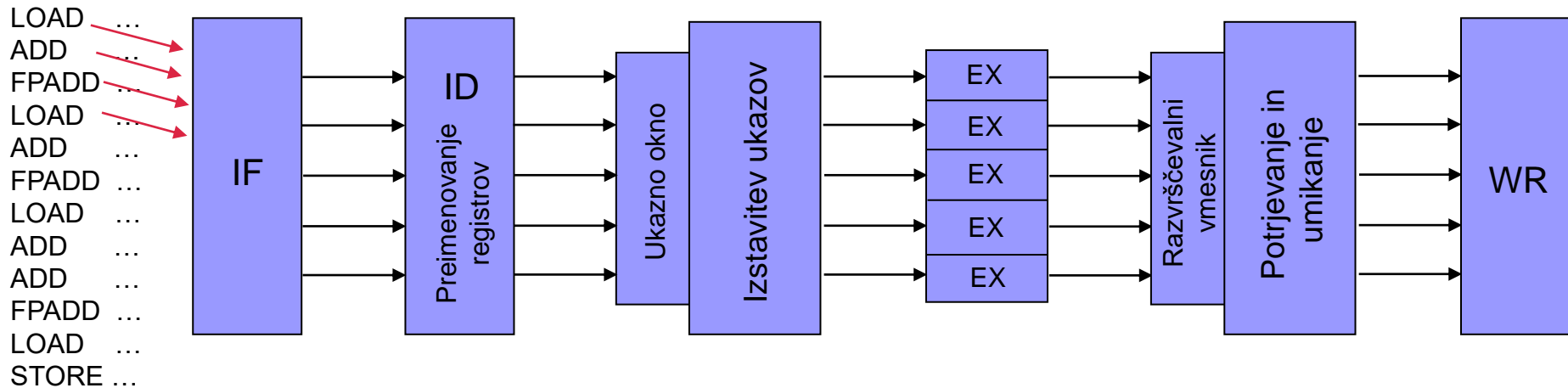


Superskalarni procesor je cevovodni procesor, ki je sposoben hkrati prevzemati, dekodirati in izvrševati več ukazov.

- Število prevzetih in izstavljenih ukazov v eni urini periodi se med izvajanjem programa dinamično spreminja in ga določa logika v procesorju.
- Procesor, ki lahko izstavi največ n ukazov se imenuje *n-kratni* superskalarni procesor.
- Istočasno superskalarno delovanje zahteva dodatne vmesnike in dodatne stopnje za ugotavljanje medsebojnih odvisnosti, potrjevanje in morebitno umikanje rezultatov ->



Superskalarni procesor

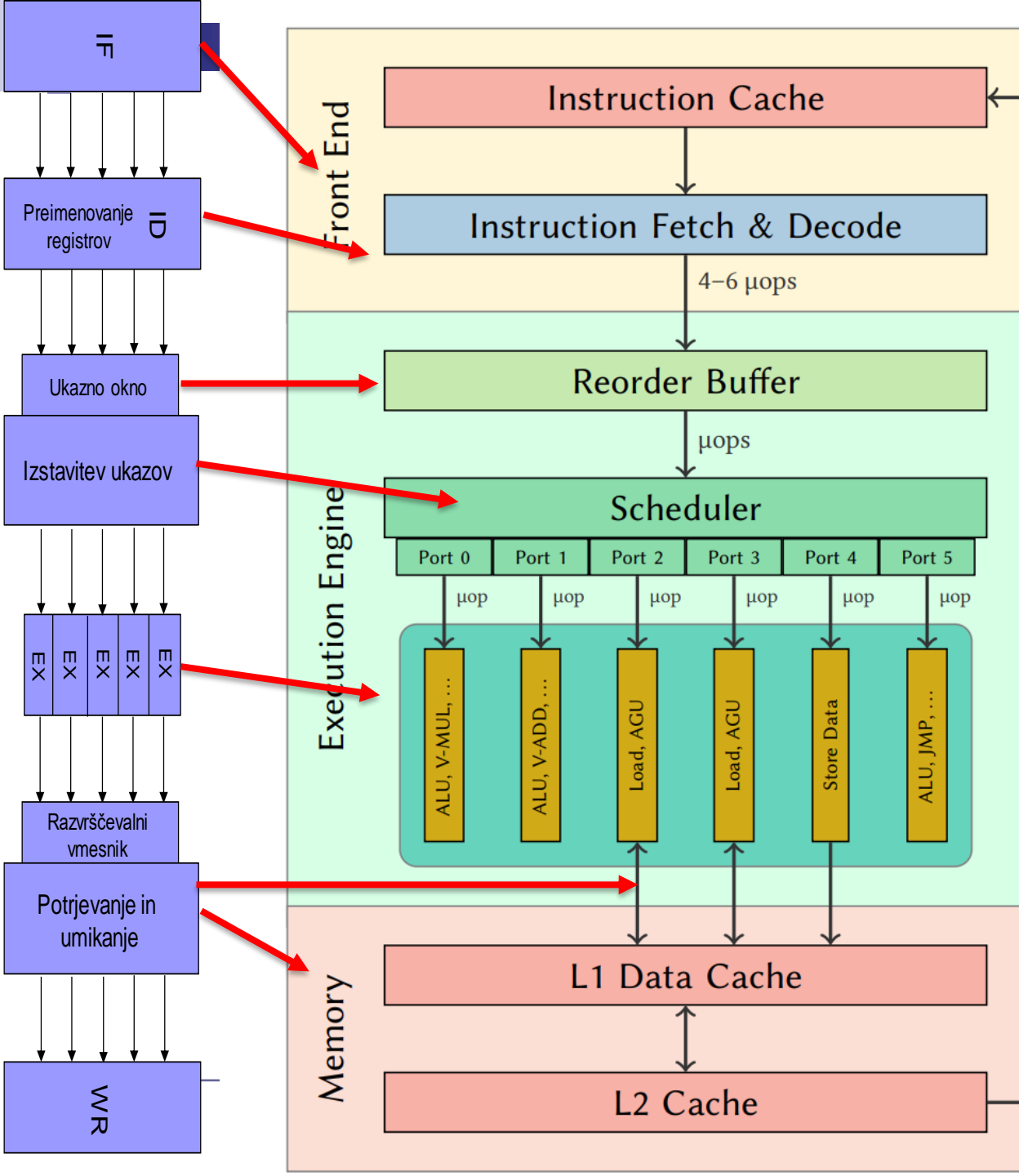


Poenostavljena shema superskalarnega procesorja,
ki ima za osnovo petstopenjski cevovod

Primeri EX funkcijskih enot :

- Enote za operacije v **fiksni/plavajoči vejici**
- Ena od funkcijskih enot v stopnji EX je stopnja MA (funkcijska enota **LOAD/STORE** ali ločeni funkcijski enoti LOAD in STORE).

*Poenostavljen primer
superskalarnega procesorja:
Intel Core i7*

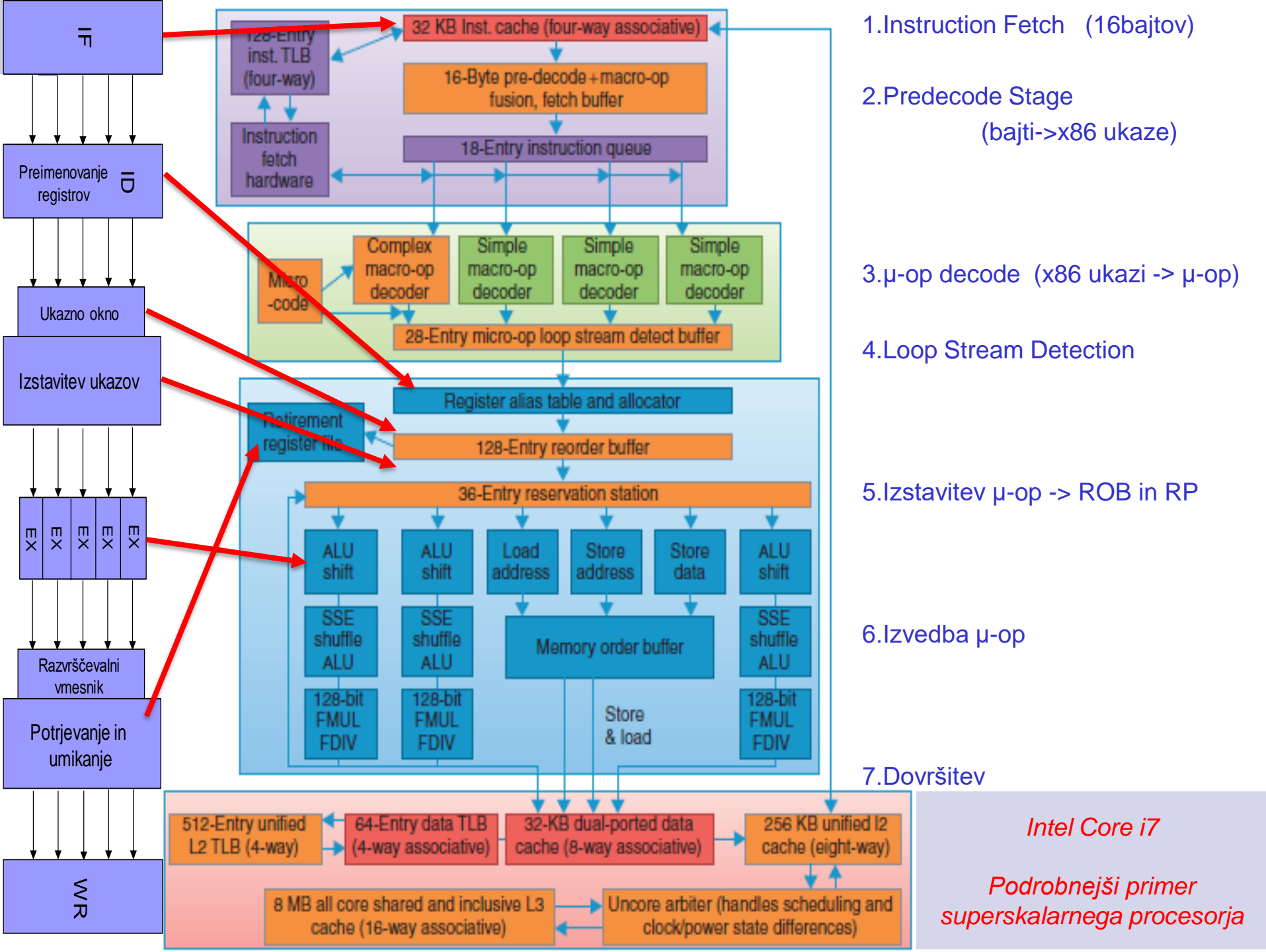


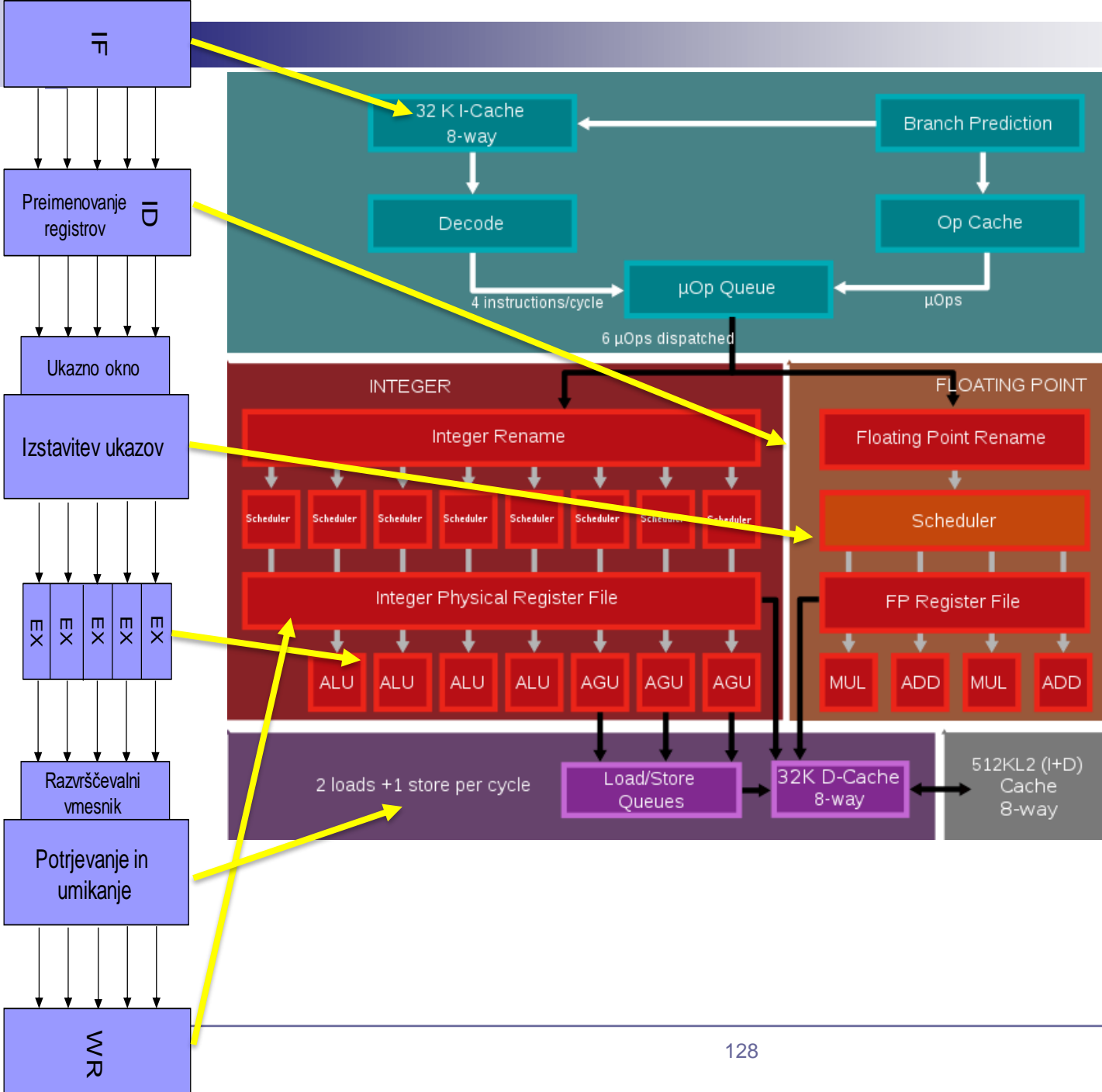
1. Instruction Fetch (16 bajtov)
2. Predecode Stage (bajti \rightarrow x86 ukaze)
3. μ -op decode (x86 ukazi \rightarrow μ -op)
4. Loop Stream Detection

5. Izstavitev μ -op \rightarrow ROB in RP

6. Izvedba μ -op

7. Dovršitev





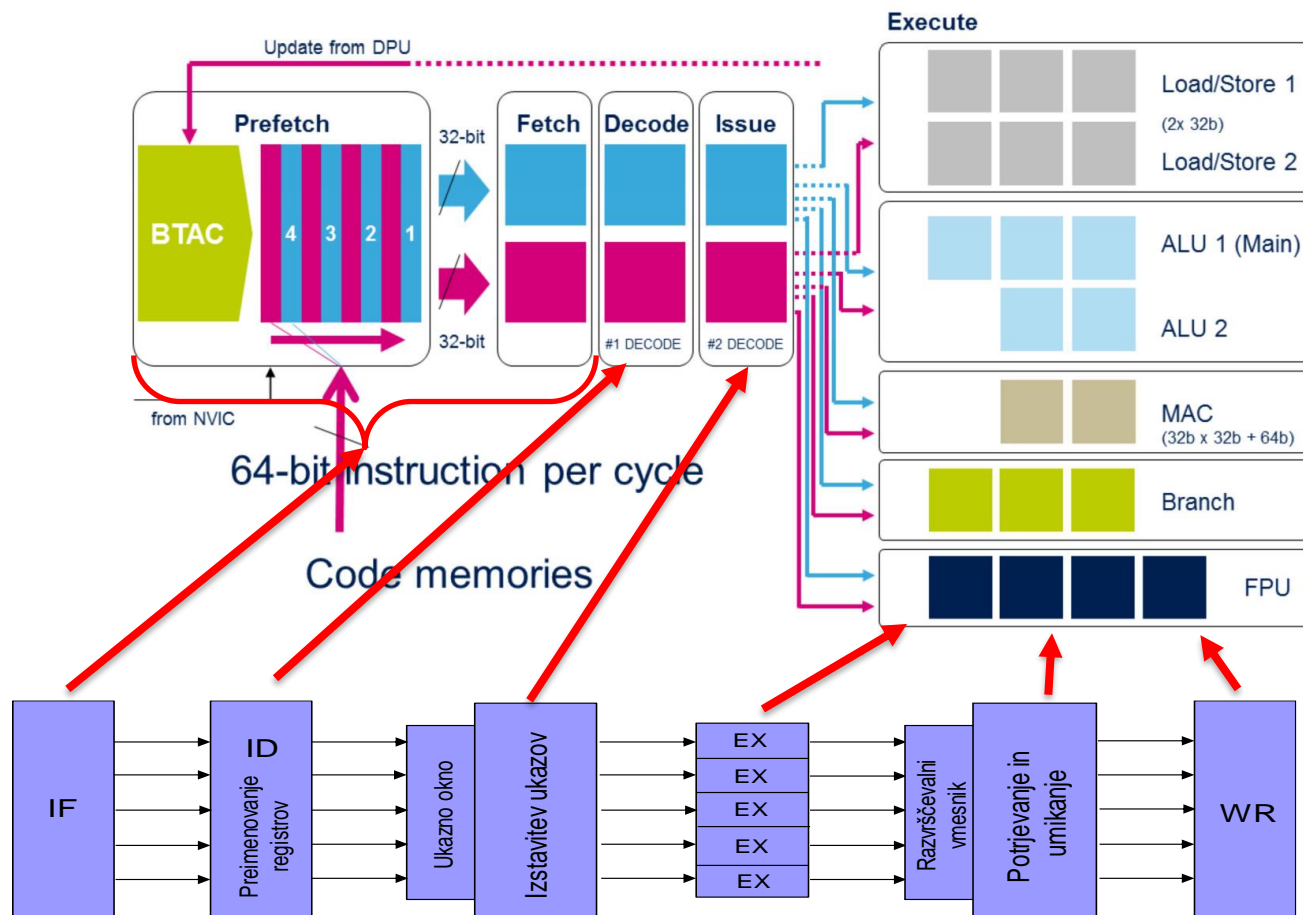


ARM Cortex-M7 → Dual-issue



ARM Cortex M7

Primer dvoizstavitvenega enostavnejšega procesorja





VLIW (Very Long Instruction Word) procesorji izvršujejo dolge ukaze, ki so sestavljeni iz več običajnih strojnih ukazov, ki jih procesor lahko paralelno izvršuje v različnih funkcijskih enotah.

- V dolgem ukazu izvršuje vsaka funkcijska enota svoj ukaz.

VLIW ukaz sestavljajo ukazi za posamezne funkcijske enote



Primer konkretne sestave VLIW ukaza





- Prevajalnik v programu išče med seboj neodvisne ukaze za funkcijske enote in z njimi sestavlja dolge ukaze.
- Število ukazov, ki so prevzeti in izstavljeni v eni urini periodi je določeno s programom in se med delovanjem ne spreminja.
- Če prevajalnik ne najde dovolj ukazov za vse funkcijske enote, da enoti, za katero ni našel ukaza, ukaz NOP (No OPeration).



VLIW procesor - prevajalnik

Prevajalnik v programu išče med seboj neodvisne ukaze za funkcijske enote in z njimi sestavlja dolge ukaze.

Če ne najde ukaze za posamezno funkcijsko enoto, vstavi ukaz NOP („-“ v VLIW ukazu spodaj).

Program

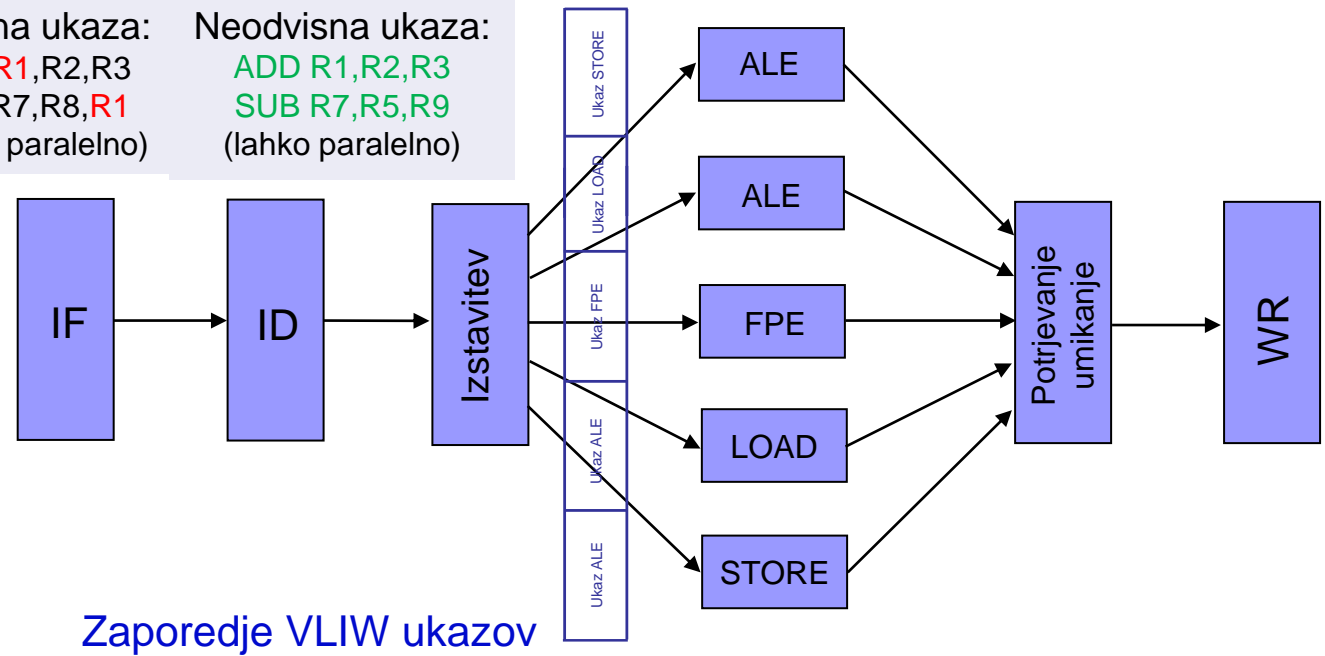
```

LOAD ...
ADD ...
FPADD ...
LOAD ...
ADD ...
FPADD ...
LOAD ...
ADD ...
ADD ...
FPADD ...
LOAD ...
STORE ...

```

Odvisna ukaza:
 ADD R1,R2,R3
 SUB R7,R8,R1
 (ne gre paralelno)

Neodvisna ukaza:
 ADD R1,R2,R3
 SUB R7,R5,R9
 (lahko paralelno)



Zaporedje VLIW ukazov



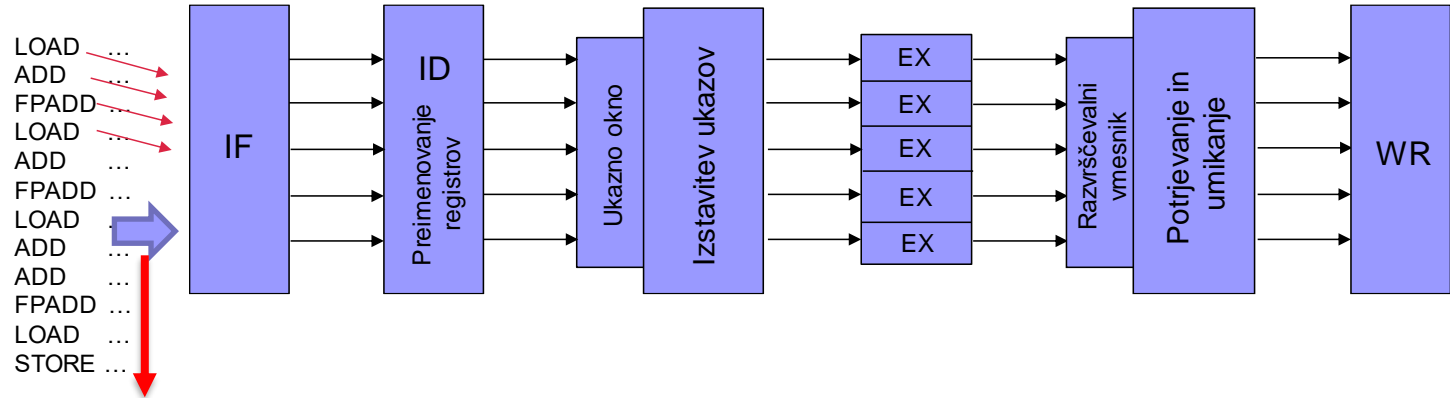
VLIW ukaz

VLIW ukazi za FE: - .. NOP, A.. ALE, F .. FP, L .. LOAD, S .. STORE



Superskalarni procesor

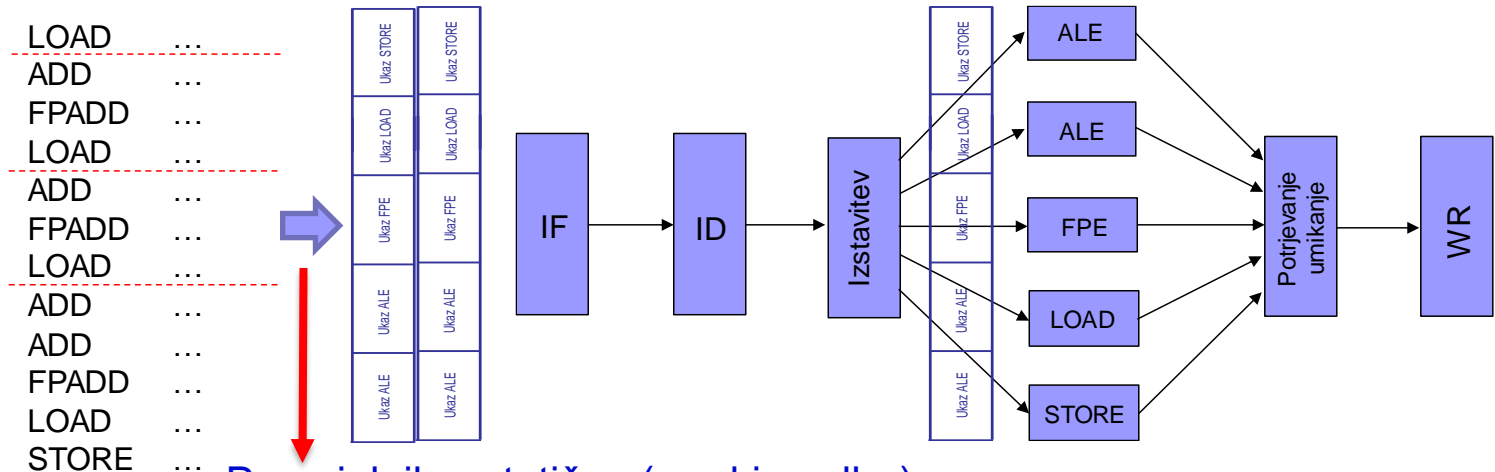
več ukazov hkrati



CPE – dinamično (med izvedbo)

VLIW procesor

dolgi ukaz (več krajših ukazov hkrati)



Prevajalnik – statično (pred izvedbo)