



Vhodno izhodne naprave

Laboratorijska vaja 7 - AV 1

Linije – LTSpice, simulacija
elektronskih vezij in odboji

LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Naloga 4-1 - Simulacija
- 7.3: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.4: Simulacija odbojev za lab. meritve – DN 2-3
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-4

LTSpice:

- <https://www.analog.com/en/design-center/design-tools-and-calculators/ltpice-simulator.html>
- Orodje za **risanje in simuliranje električnih in elektronskih vezij** (angl. schematic design tool and circuit simulator)
- Osnovne elektronske komponente:
 - upor (angl. resistor)
 - kondenzator (angl. capacitor)
 - tuljava (angl. inductor)
 - prenosna linija (angl. ideal transmission line)
 - vir napetosti (angl. voltage generator)
 - vir toka (angl. current generator)

- Osnovni tutorial (priporočljiv):

- <http://cds.linear.com/docs/en/software-and-simulation/LTspiceGettingStartedGuide.pdf>

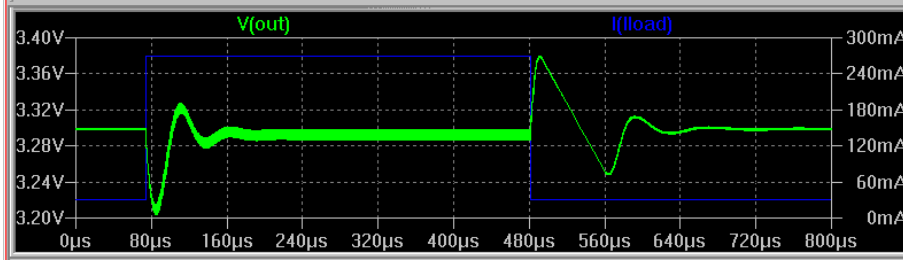
- Ostali viri:

- <https://ltwiki.org/files/LTspiceHelp.chm.html>
- <http://elec.otago.ac.nz/w/images/d/df/Ltguide10.pdf>
- YouTube
- Pripravljena vezja :
 - <https://www.analog.com/en/design-center/evaluation-hardware-and-software/lt-spice-demo-circuits.html>

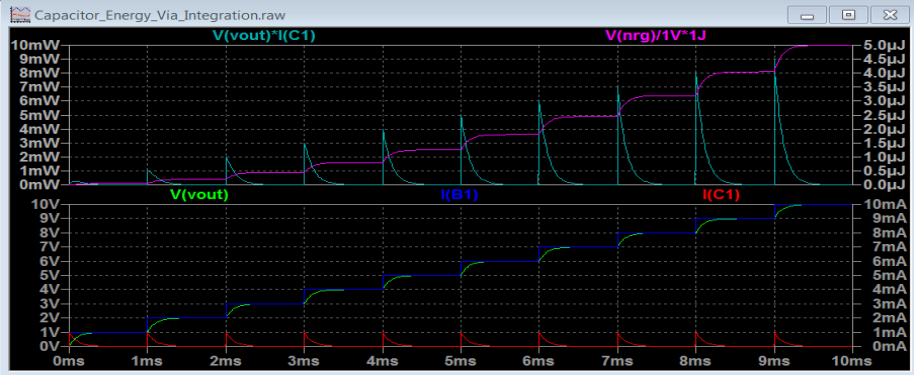
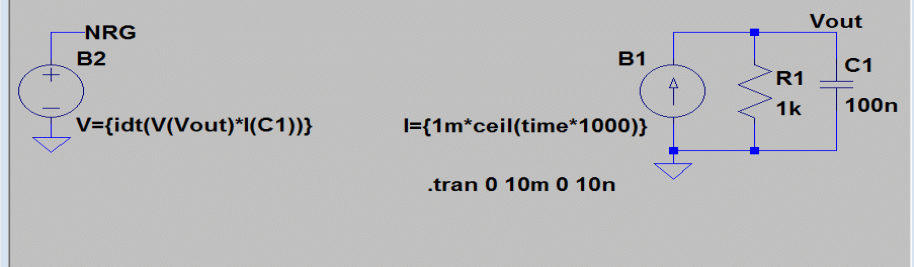
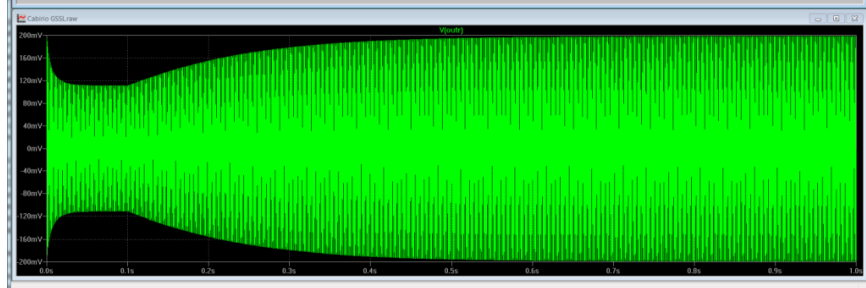
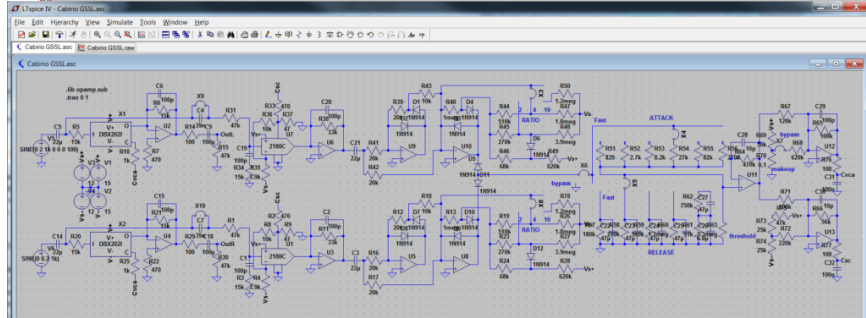
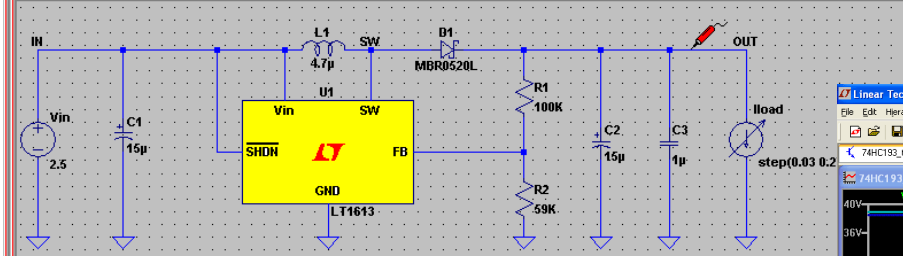
LTSpice - primeri

Linear Technology LTSpice/SwitcherCAD III - LT1613.app

File Edit View Simulate Tools Window Help

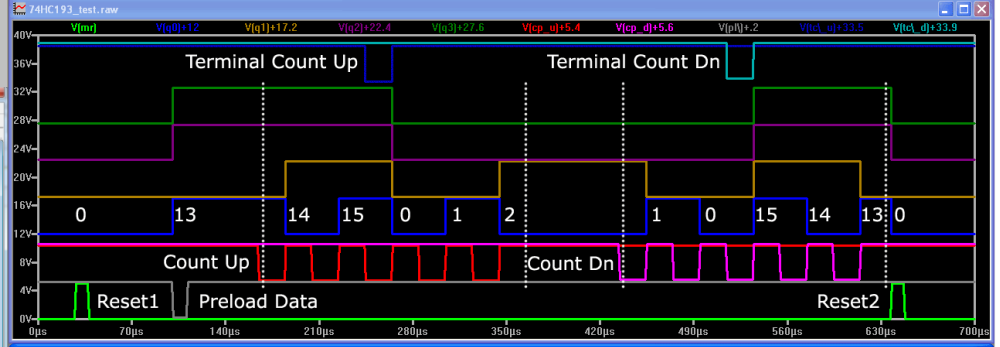


LT1613.app

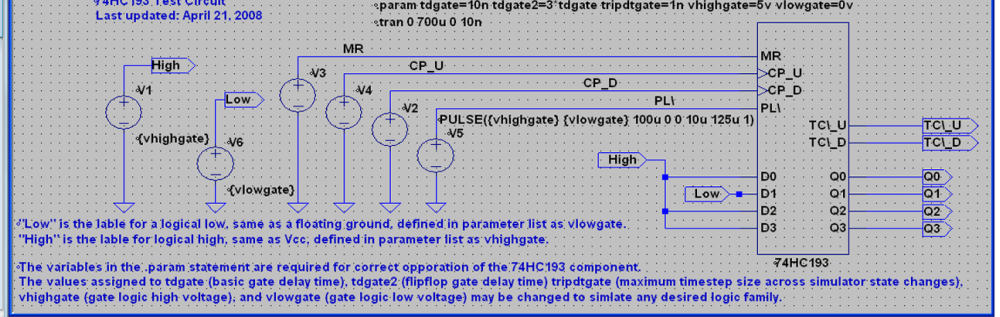


Linear Technology LTSpice/SwitcherCAD III - 74HC193_test.asc

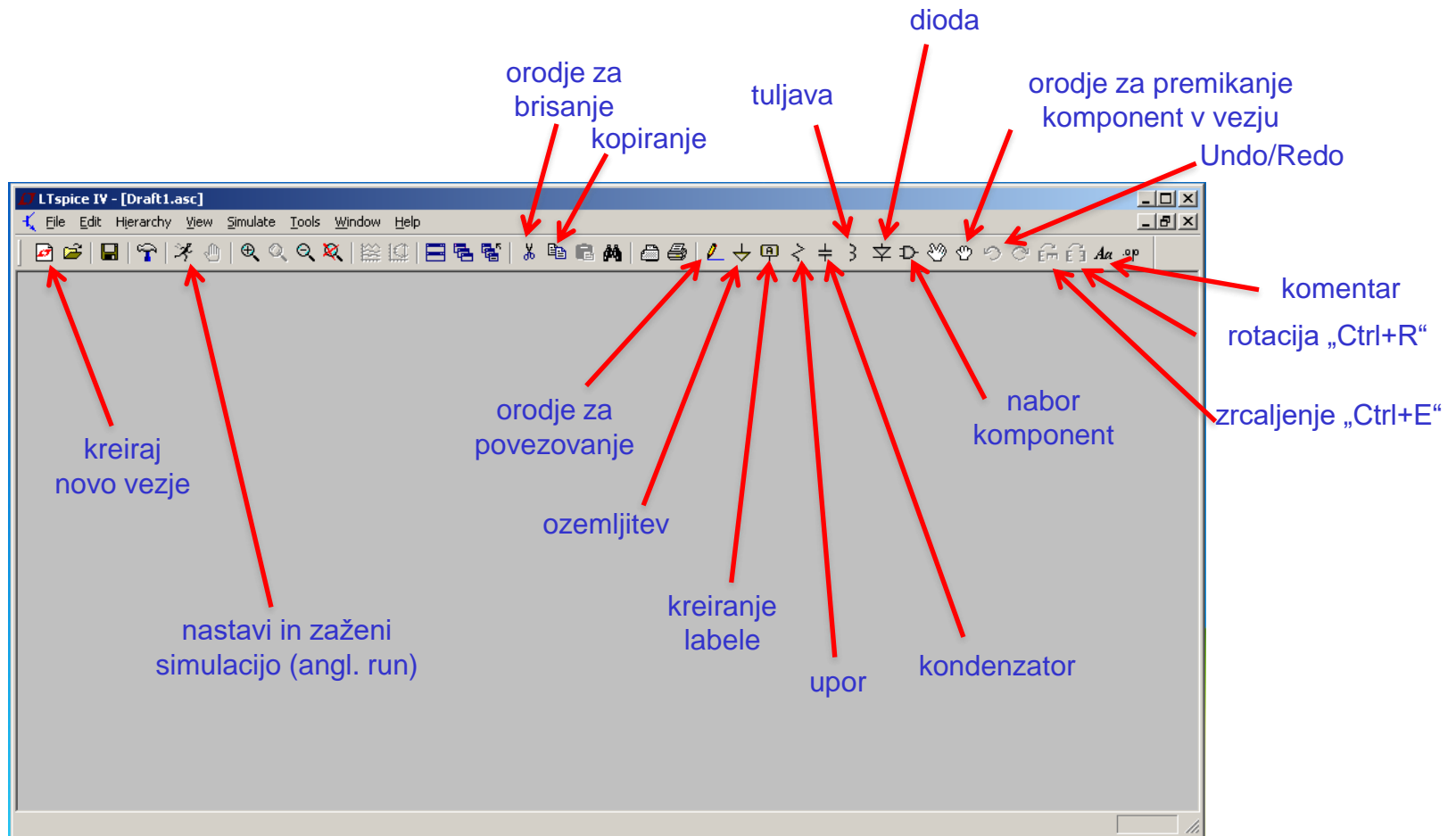
File Edit Hierarchy View Simulate Tools Window Help



74HC193_test.asc



■ Osnovno okno:




■ Osnovne kratice v naboru komponent v LTSpice:

Komponenta	kratica v LTSpice
izvor napetosti	<i>voltage</i>
upor	<i>res</i>
kondenzator	<i>cap</i>
(brez izgubna) prenosna linija	<i>tline</i>
tuljava	<i>ind</i>
dioda	<i>diode</i>
Schottky dioda	<i>schottky</i>
Zener dioda	<i>zener</i>
...	...

Več na strani: http://ltwiki.org/?title=Components_Library_and_Circuits

■ Nekatere osnovne kratice merskih enot v LTSpice:

Predpona/Merska enota	kratica v LTSpice
piko [10 ⁻¹²]	<i>p</i>
nano [10 ⁻⁹]	<i>n</i>
micro [10 ⁻⁶]	<i>u</i>
mili [10 ⁻³]	<i>m</i>
kilo [10 ³]	<i>k</i>
mega [10 ⁶]	<i>meg</i>
giga [10 ⁹]	<i>g</i>
terra [10 ¹²]	<i>t</i>
ohm	<i>ohm</i>
farad [F]	<i>F</i>
Henry [H]	<i>H</i>



■ Postavitev osnovnih elementov

The screenshot shows the LTSpice IV interface with the 'Select Component Symbol' dialog box open. The dialog box is titled 'Select Component Symbol' and has a 'Top Directory' field set to 'C:\Program Files (x86)\LTSpice\lib\sym'. The main area of the dialog shows a preview of a voltage source symbol (a circle with a plus sign at the top and a minus sign at the bottom) and a text description: 'Voltage Source, either DC, AC, PULSE, SINE, PWL, EXP, or SFFM'. Below this is a button labeled 'Open this macromodel's test fixture' and a text field containing the word 'voltage'. At the bottom of the dialog is a list of component symbols, with 'voltage' selected and highlighted in blue. The list includes various components like g2, h, ind, ind2, LED, load, load2, lprp, ltrline, mesfet, rlf, nmos, nmos4, npn, npn2, npn3, npn4, pif, pmos, pmos4, pnp, pnp2, pnp4, polcap, res, res2, schottky, SOAtherm-NMOS, sw, tline, TVSdiode, varactor, and zener. The background of the LTSpice window shows a circuit diagram with a voltage source symbol labeled 'V1' and 'V'.

■ Lastnosti komponente 'voltage'

Desni klik (lastnosti elementa)

vrednost enosmerne napetosti

Oblika izvornega signala napetosti:

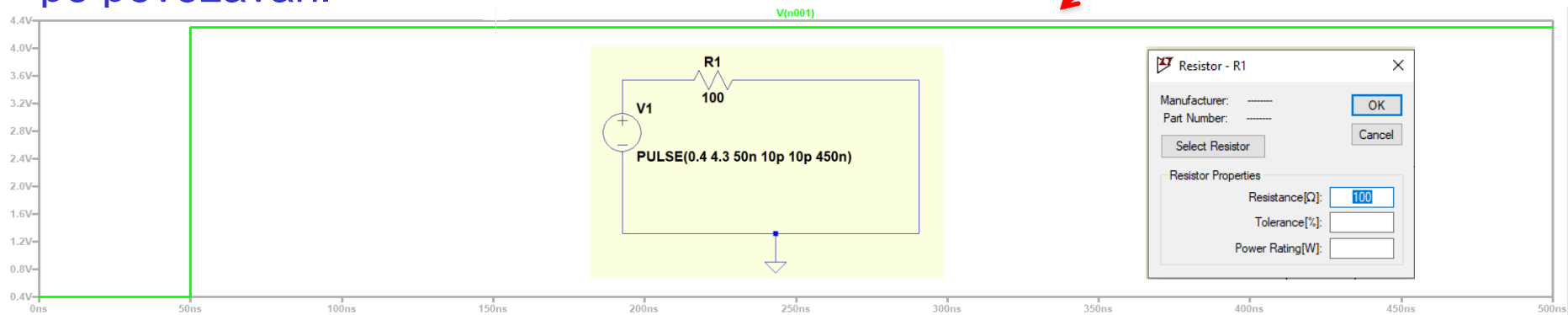
- 1) Enosmerni tok: (none)
- 2) Pulz (PULSE)
- 3) Sinusni signal (SIN)
- 4) Eksponentni (EXP)

PULSE je najbolj pogosta oblika vira napetosti v naših vezjih:

- **V_{initial}** začetna napetost [V]
- **V_{on}** vrednost stanja „on“ oz. druga napetost po prehodu [V]
- **T_{delay}** časovna zakasnitev („time delay“) – trajanje začetne napetosti
- **T_{rise}** čas vzpona [s]
- **T_{fall}** čas padca [s]
- **T_{on}** čas stanja „on“ – trajanje druge napetosti [s]
- **T_{period}** celotno trajanje ene periode impulza [s]
- **N_{cycles}** število period oziroma ponovitev. 0 pomeni večno ponavljanje

Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	50n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	450n
Tperiod[s]:	
Ncycles:	

Pri svojih analizah bomo praktično ves čas uporabljali pravokotne signale in opazovali njihove spremembe v različnih situacijah prenosa po povezavah.



■ Simulator

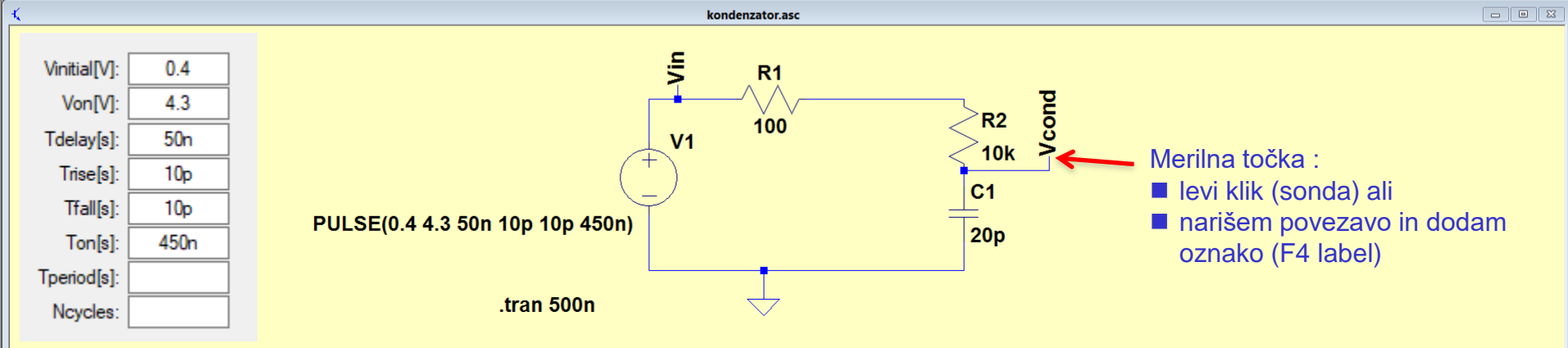
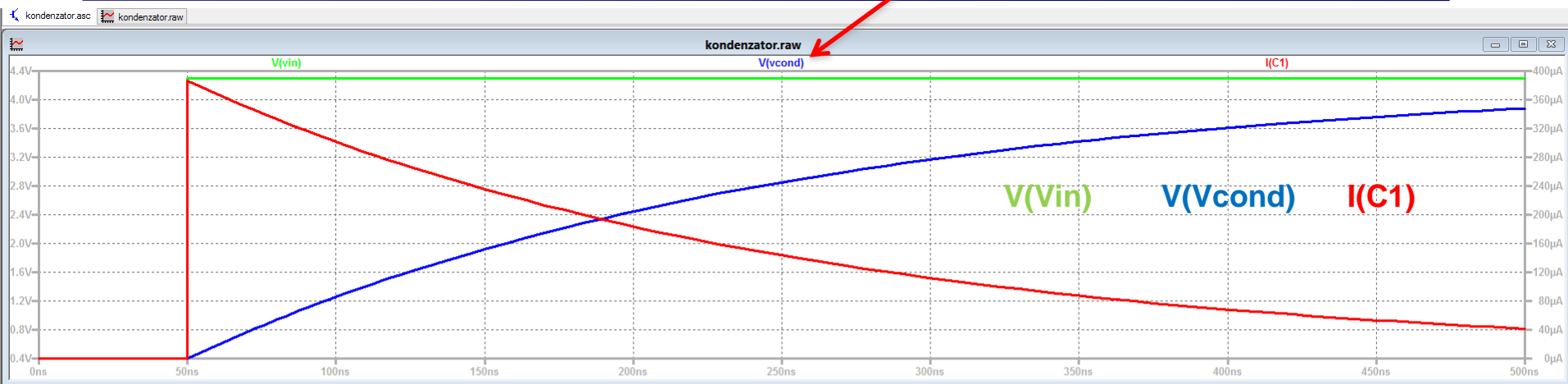
Za naše potrebe bomo uporabili „Transient“ analizo (eno od 6 možnih)

Klic ukaza `'.tran'` 'trajanje simulacije' v tem primeru: 50 ns

Starting SPICE run...

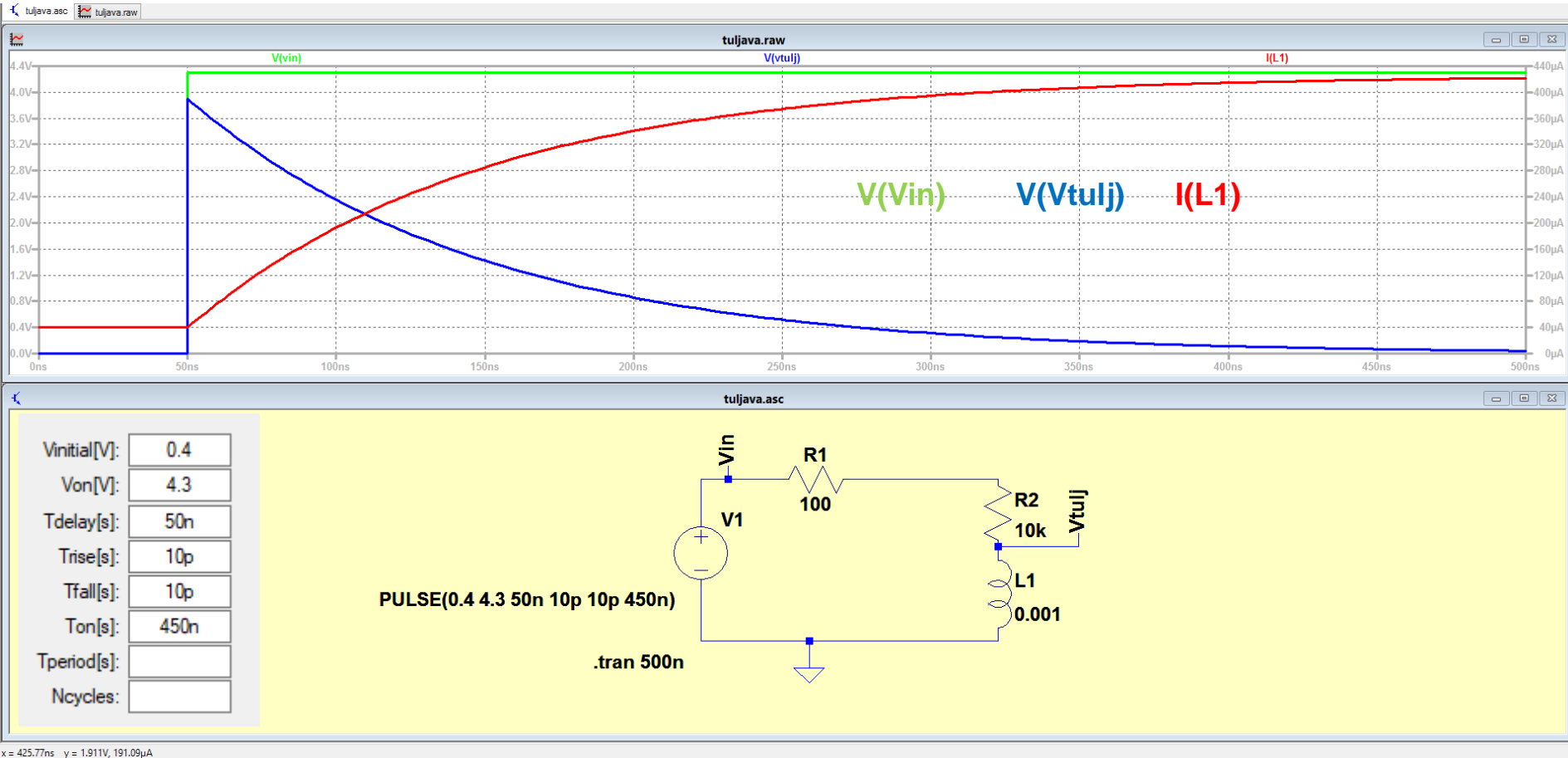
LTSpice – Primer 1: kondenzator

Desni klik -> možnost računanja s prikazanimi signali, brisanje..

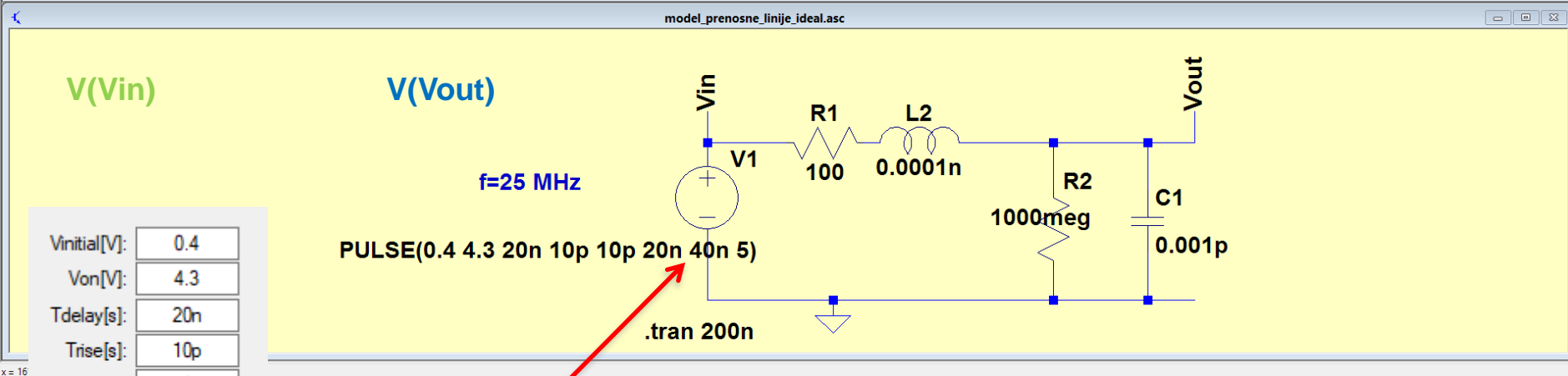
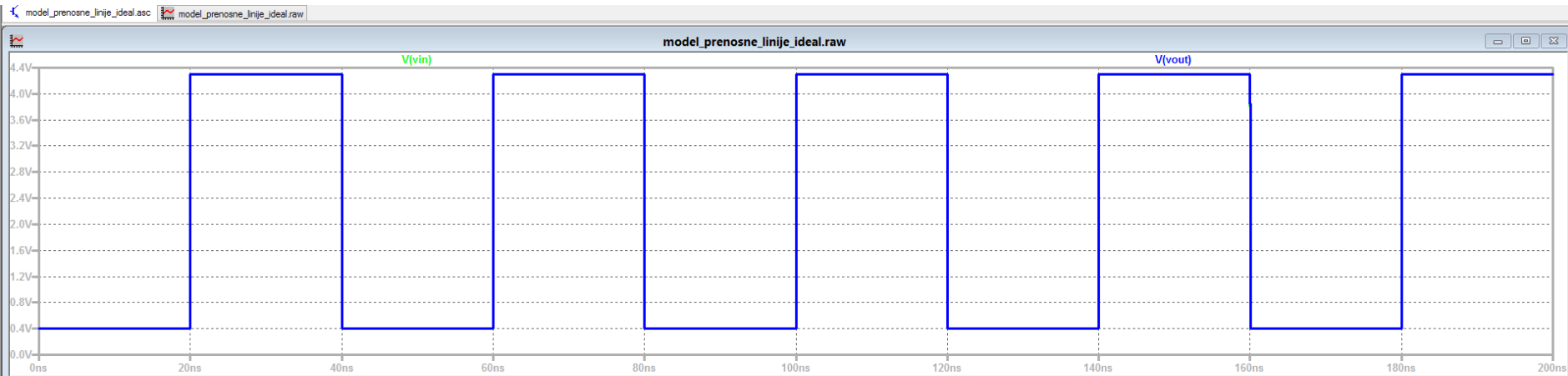


x = 441.23ns y = 2.320V, 192.00µA

LTSpice - Primer 2: tuljava



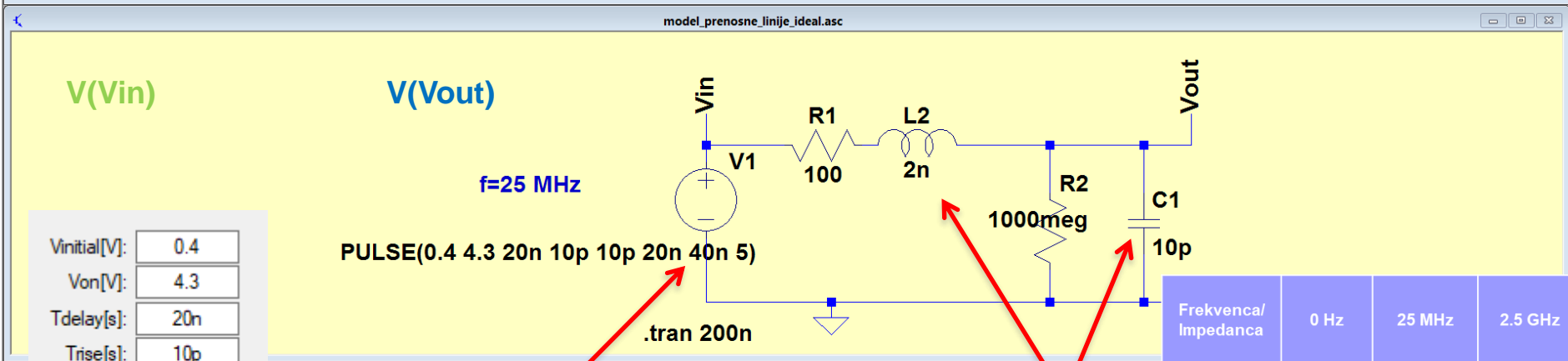
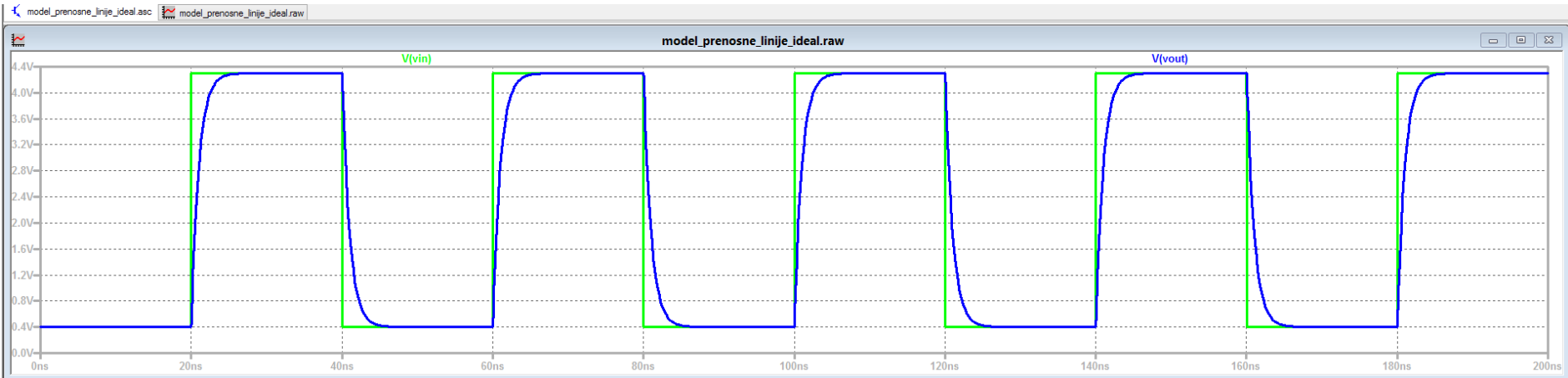
LTSpice – Primer 3: (naloga AV1) model idealne prenosne linije (f=25 MHz)



Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	20n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	20n
Tperiod[s]:	40n
Ncycles:	5

- f=25MHz:
- „on“ stanje 20ns
 - perioda 40ns
 - 5 period (ponovitev)

LTSpice – Primer 3: (naloga AV1) model realne prenosne linije ($f=25\text{ MHz}$) $R1=100$



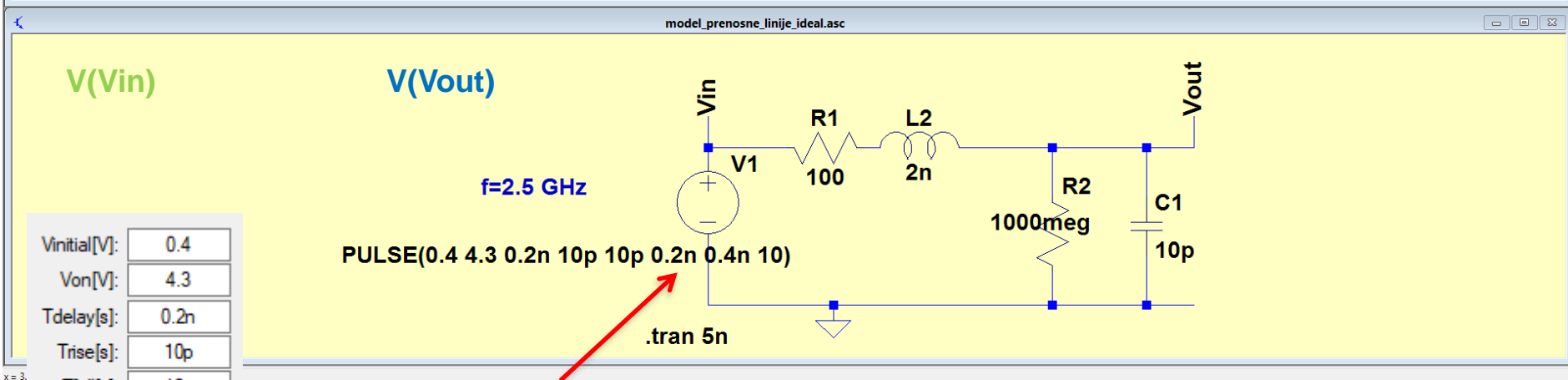
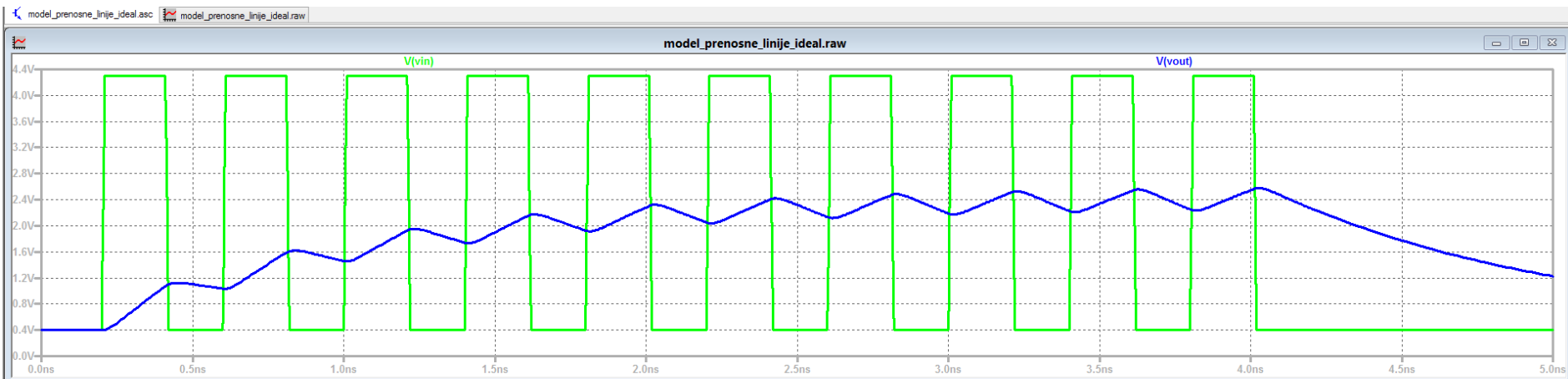
Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	20n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	20n
Tperiod[s]:	40n
Ncycles:	5

Frekvenca/ Impedanca	0 Hz	25 MHz	2.5 GHz
Z_L	0 Ω	0.314 Ω	31.4 Ω
Z_C	∞ Ω	636.9 Ω	6.36 Ω

- f=25MHz:
- „on“ stanje 20ns
 - perioda 40ns
 - 5 period (ponovitev)

- Realna linija :
- večja kapacitivnost in
 - večja induktivnost

LTSpice – Primer 3: (naloga AV1) model realne prenosne linije ($f=2.5\text{ GHz}$) $R1=100$



Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	0.2n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	0.2n
Tperiod[s]:	0.4n
Ncycles:	10

- $f=2.5\text{GHz}$:
- „on“ stanje 0.2ns
 - perioda 0.4ns
 - 10 period (ponovitev)

LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja

- 7.2: Naloga 4-1 - Simulacija

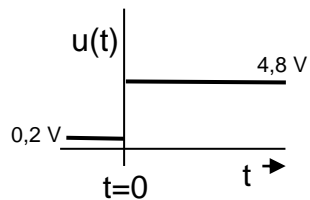
- 7.3: Vpliv časa vzpona/padca na odboje - ponovitev

- 7.4: Simulacija odbojev za lab. meritve – DN2-3

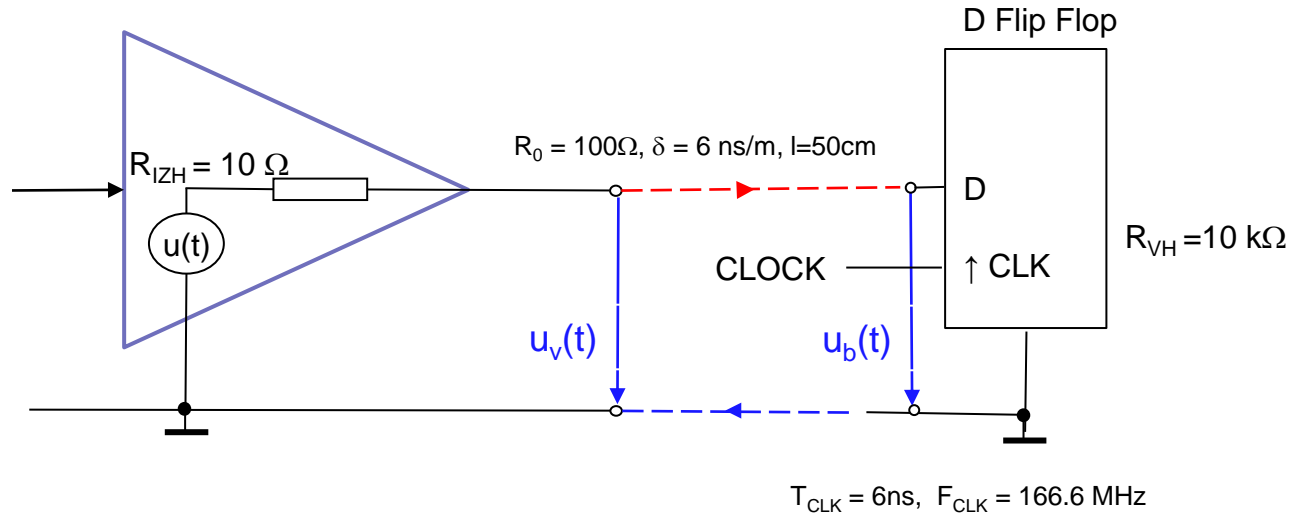
- 7.5: Dod. naloga DN2-3a: Simulacija odbojev naslovna linija – DN (neobvezna)

Naloga 4-1:

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu
čipa 74ACT74 - D FlipFlop).



Sprememba signala iz stanja 1
v stanje 0 ob času $t = 0$

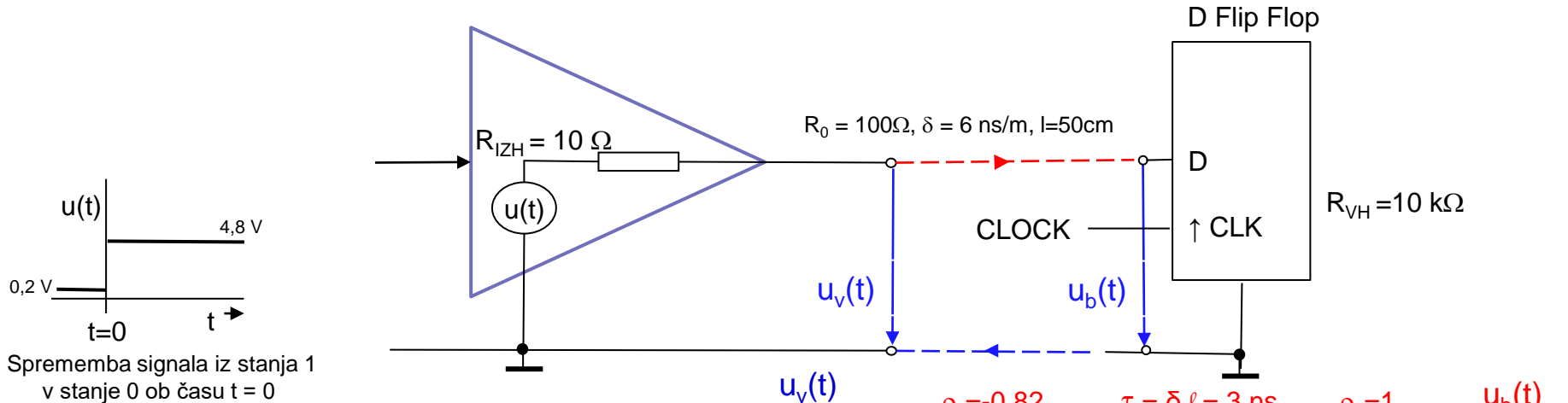


$$\tau = \delta \cdot l = 6 \text{ ns/m} \cdot 0,5 \text{ m} = \underline{\underline{3 \text{ ns}}}$$
$$\rho_v = \frac{R_{IZH} - R_0}{R_{IZH} + R_0} = \underline{\underline{-0,82}}$$
$$\rho_b = \frac{R_{VH} - R_0}{R_{VH} + R_0} = \underline{\underline{1}}$$

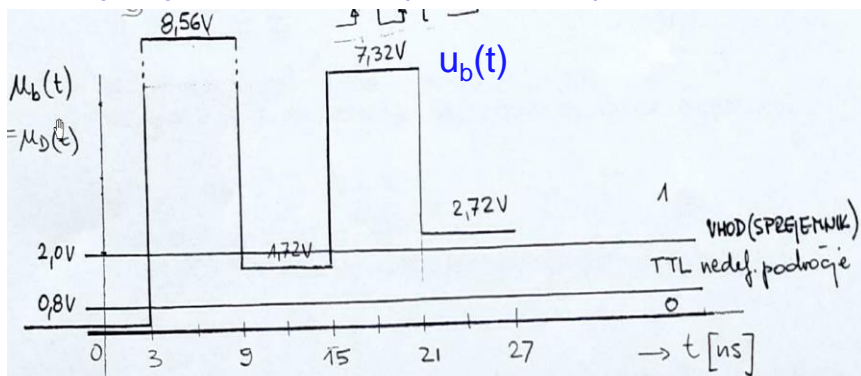
Naloga 4-1 (objavljena rešitev):

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop).

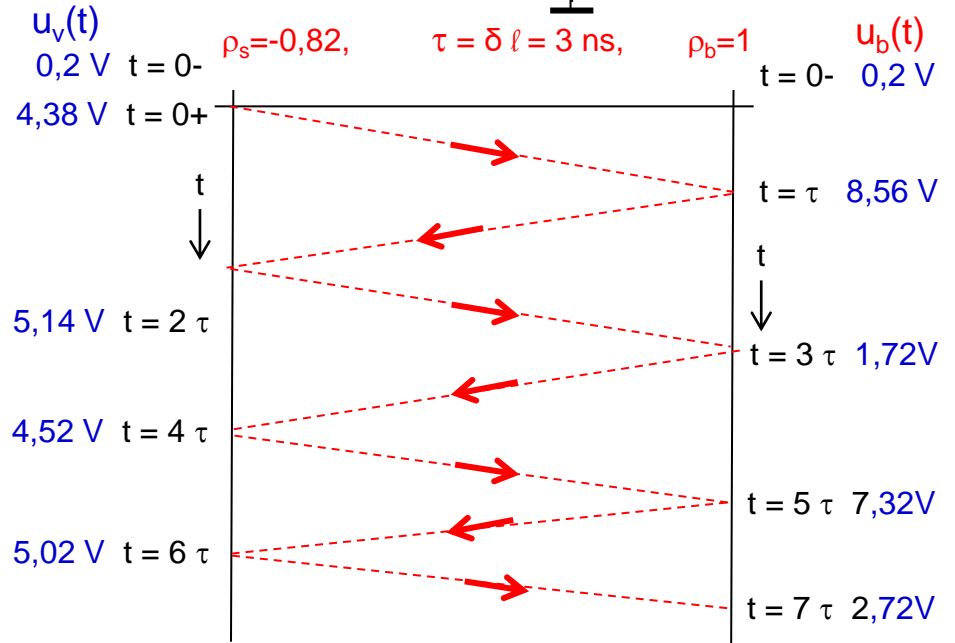
$$T_{CLK} = 6\text{ ns}, F_{CLK} = 166.6\text{ MHz}$$



Objavljena rešitev (e-učilnica)



VIN - LV



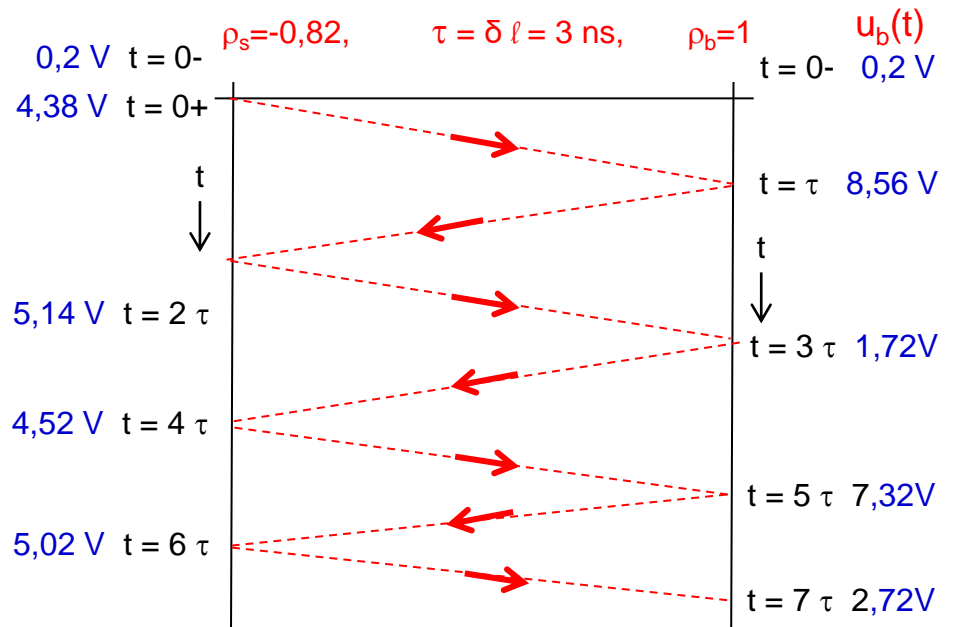
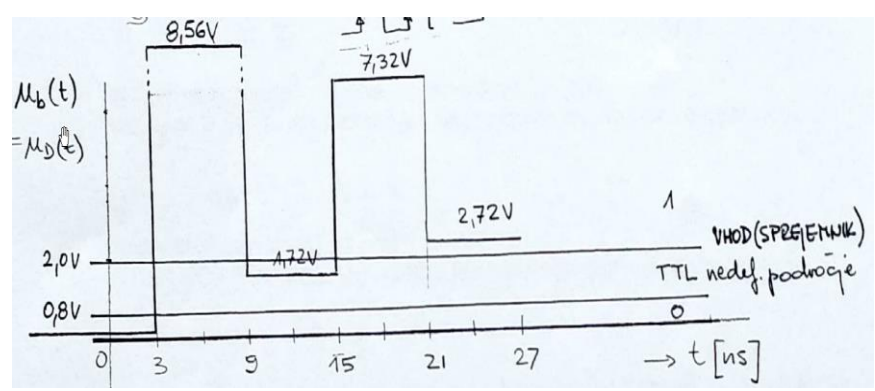
Naloga 4-1 (objavljena rešitev):

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop).

$\tau = \delta \cdot l = 6 \text{ ns/m} \cdot 0,5 \text{ m} = \underline{3 \text{ ns}}$
 $\rho_v = \frac{R_{in} - R_o}{R_{in} + R_o} = -0,82$
 $\rho_b = \frac{R_{vh} - R_o}{R_{vh} + R_o} = 1$

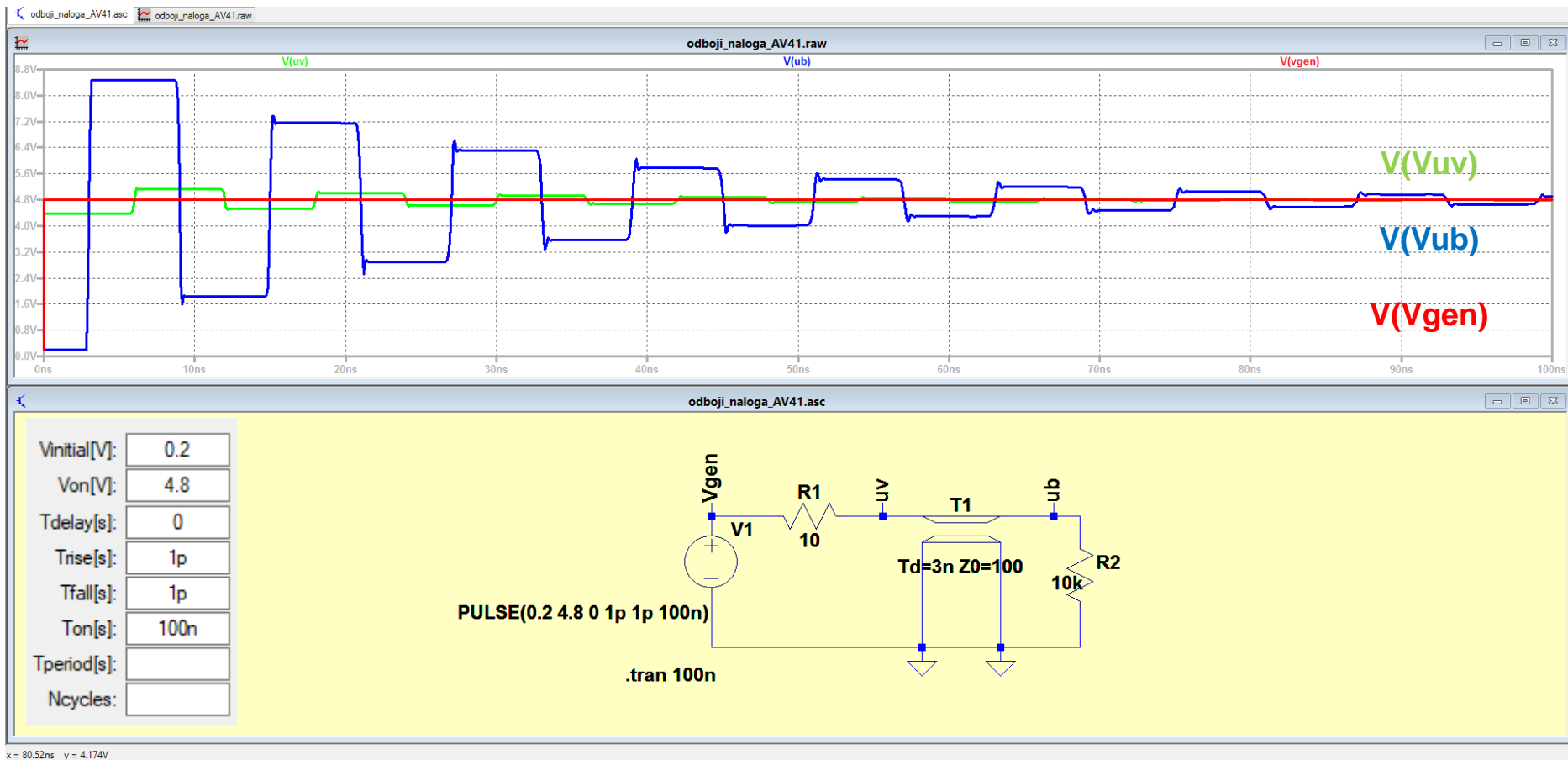
$u_v(0^-) = u_b(0^-) = \frac{U_o \cdot R_b}{R_v + R_b} = \frac{0,2 \text{ V} \cdot 10000}{10010} = 0,198 \text{ V} \approx \underline{0,2 \text{ V}}$
 $t=0^+ \quad u_v(0^+) = u_v(0^-) + \frac{\Delta U \cdot R_o}{R_v + R_o} = 0,2 \text{ V} + \frac{4,6 \text{ V} \cdot 100 \Omega}{110 \Omega} = 0,2 \text{ V} + 4,18 \text{ V} = \underline{4,38 \text{ V}}$
 $t=\tau \quad u_b(\tau) = u_b(0^-) + \rho_p(1) + \rho_p(1) \cdot \rho_b = 0,2 \text{ V} + 4,18 \text{ V} + 4,18 \text{ V} = \underline{8,56 \text{ V}}$
 $t=3\tau \quad u_b(3\tau) = \underline{1,72 \text{ V}}$
 $t=5\tau \quad u_b(5\tau) = \underline{7,32 \text{ V}}$
 $t=7\tau \quad u_b(7\tau) = \underline{2,72 \text{ V}}$

Če ste im signalom kontinuis D flip flop, ki je prosten z urinim signalom s frekvenco $f_1 = 166 \text{ MHz}$, pride lahko do nepravilne delovanja.



■ LTSpice – Naloga AV4-1 - Simulacija

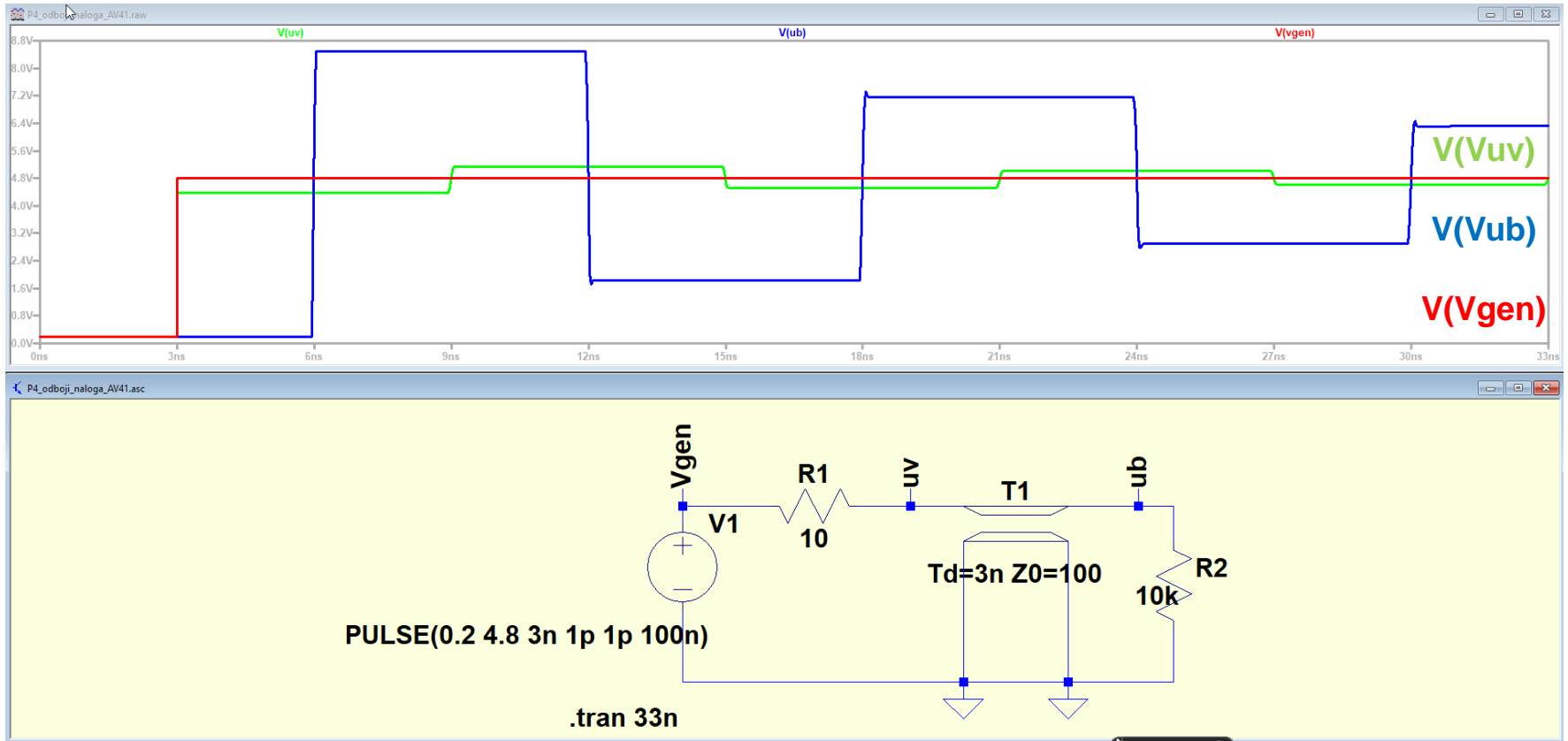
izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop



Pozor: nap. nivoji do 5V !

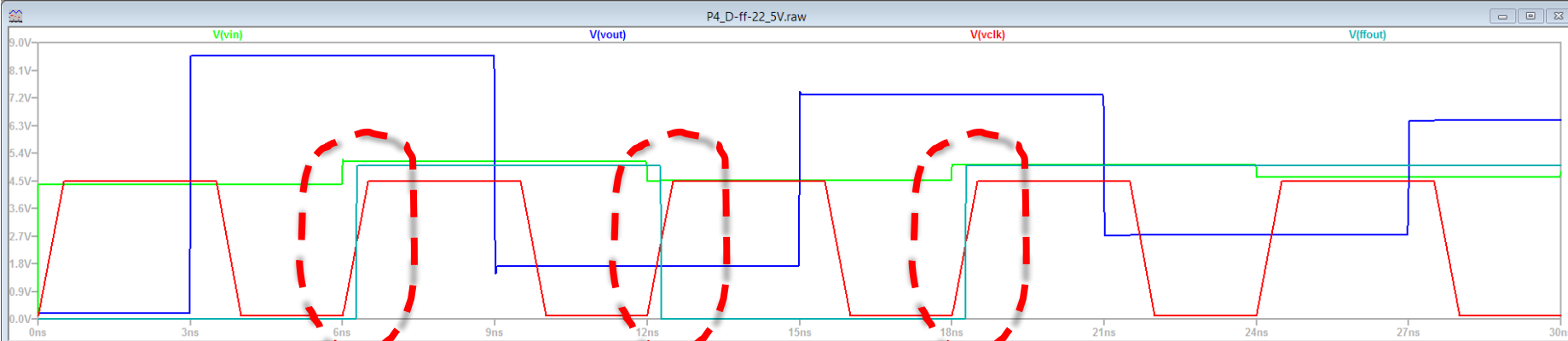
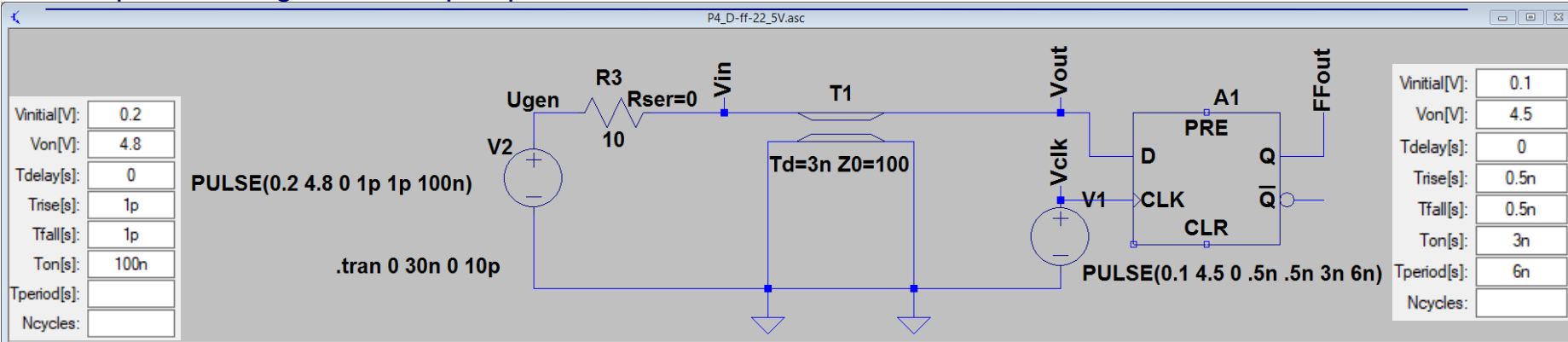
■ LTSpice – Naloga AV4-1 – 3ns zakasnitve in do 33ns

izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop



Pozor: nap. nivoji do 5V !

LTSpice – Naloga AV4-1 FlipFlop



Component Attribute Editor

Open Symbol: C:\Users\R\Documents\LTspiceXVII\lib\sym\Digital\dfflop.asy

Attribute	Value	Vis.
Prefix	A	
InstName	A1	X
SpiceModel	DFLOP	
Value		
Value2	Vhigh=5 Vlow=0	
SpiceLine		
SpiceLine2		

Nastavimo nap. nivoje za D-FF (do 5V, sicer 1V)

Vhigh=5 Vlow=0

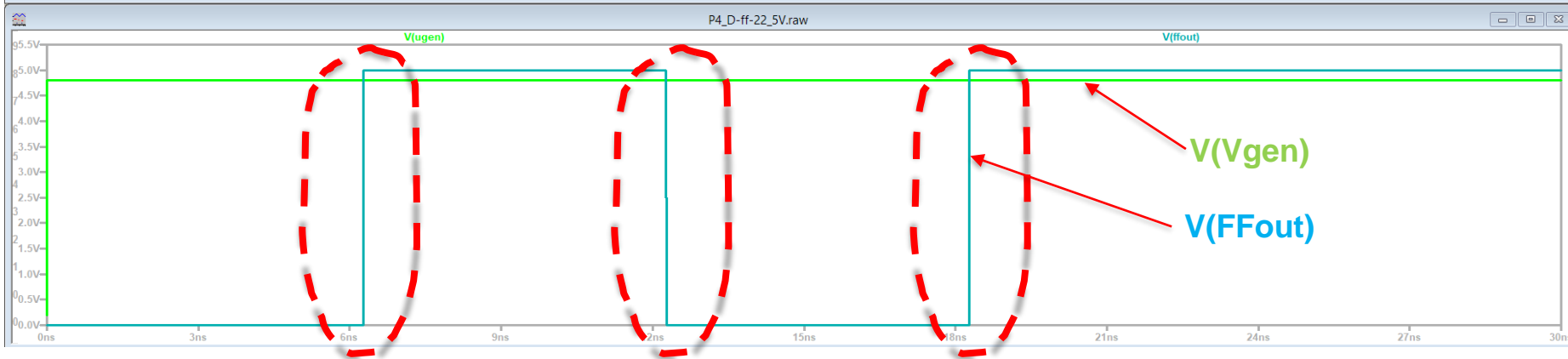
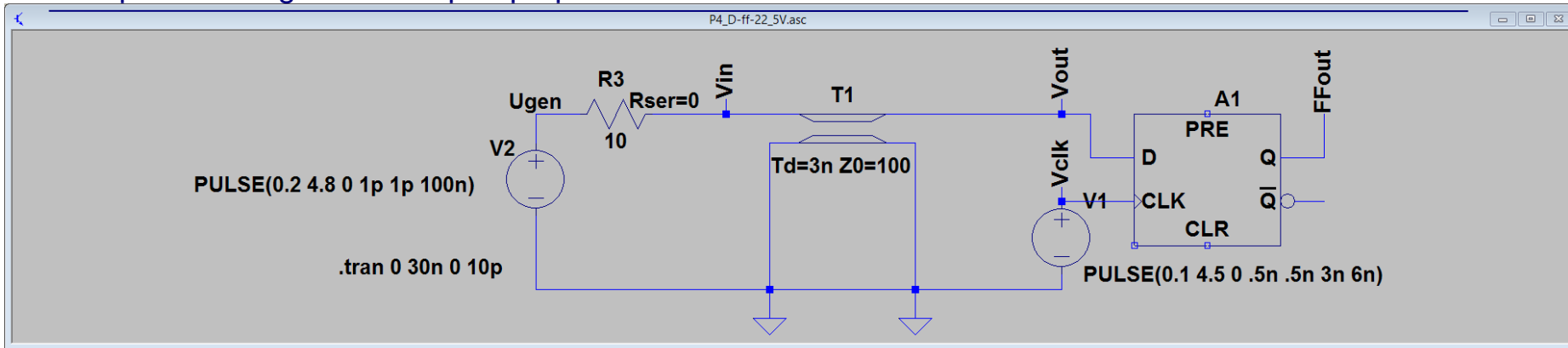
V(Vin)

V(Vout)

V(clk)

V(FFout)

LTSpice – Naloga AV4-1 FlipFlop - problem

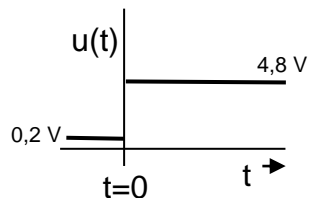


Problem: D-FF namesto enega prehoda 0->1 V(Vgen)
naredi 3 prehode: 0->1->0->1 V(FFout)
(dva dodatna nepotrebna prehoda)

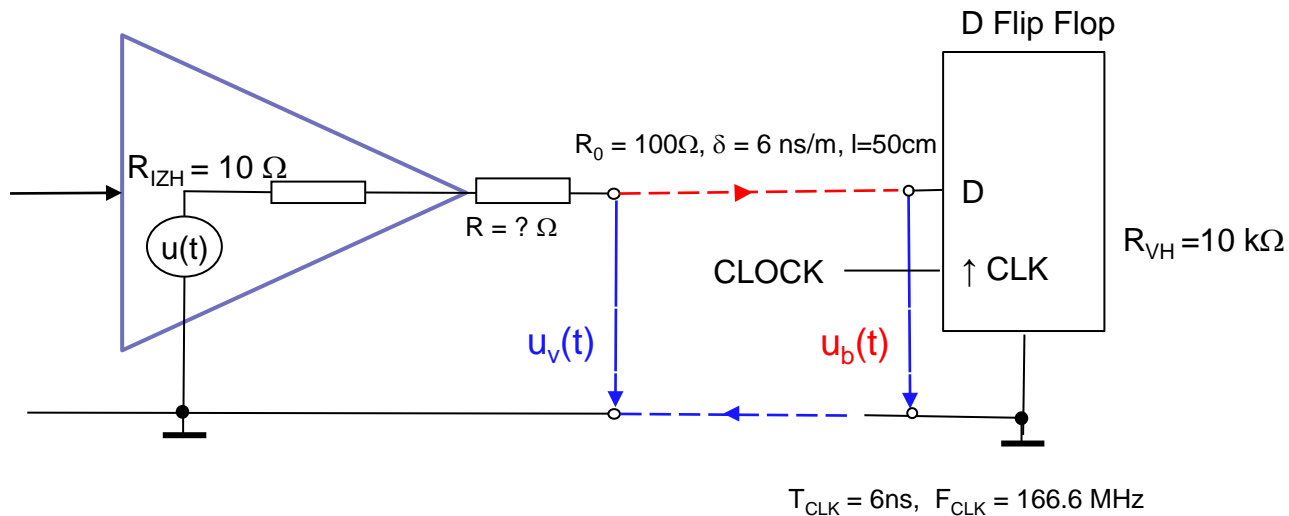
Naloga 4-1a: Serijska prilagoditev

Ponovite izračun in izris ob dodani serijski prilagoditvi.

Kaj se spremeni ?



Sprememba signala iz stanja 1 v stanje 0 ob času $t = 0$

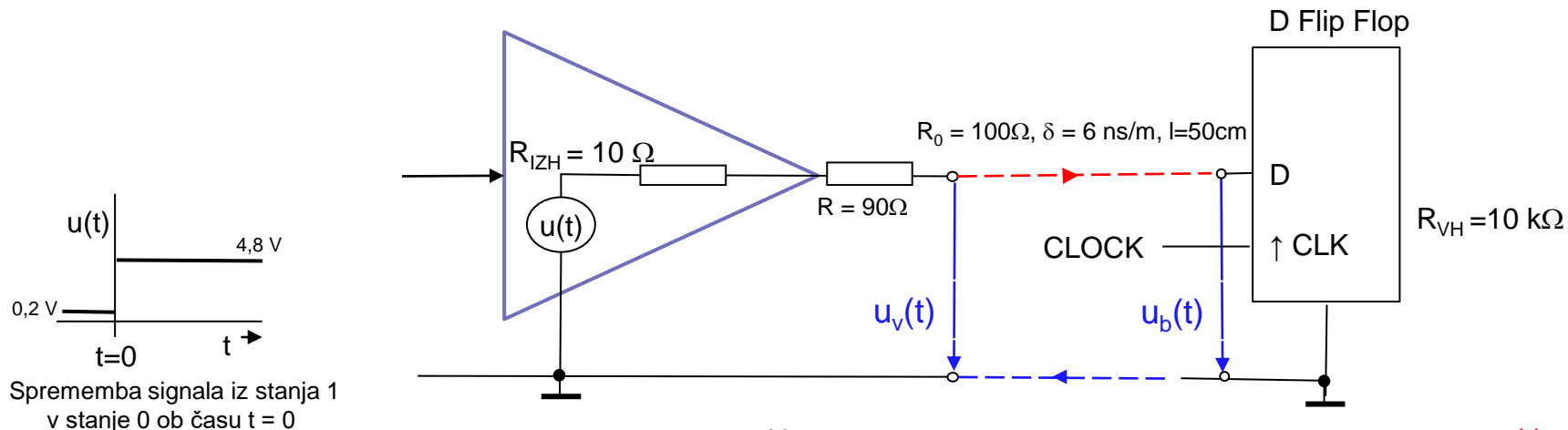


Naloga 4-1a (objavljena rešitev): Serijska prilagoditev

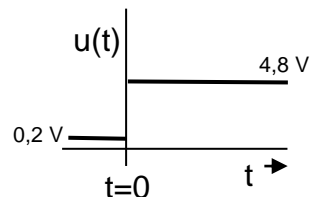
Ponovite izračun in izris ob dodani serijski prilagoditvi.

Kaj se spremeni ? – Računska rešitev

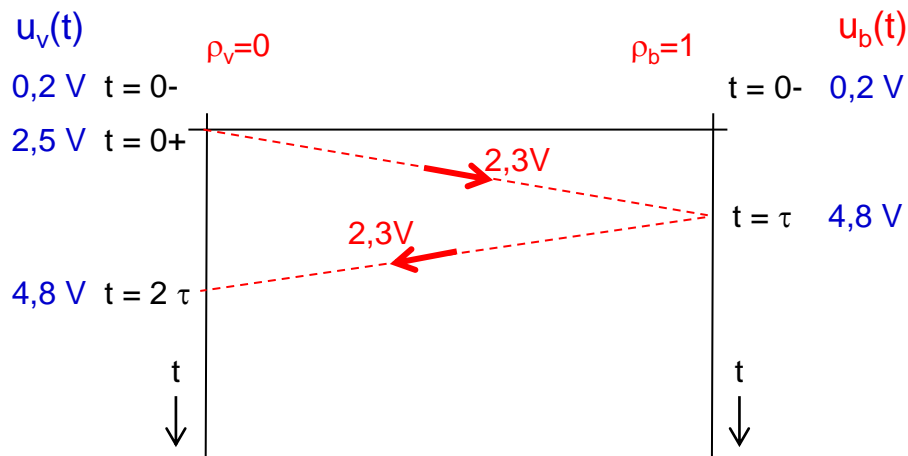
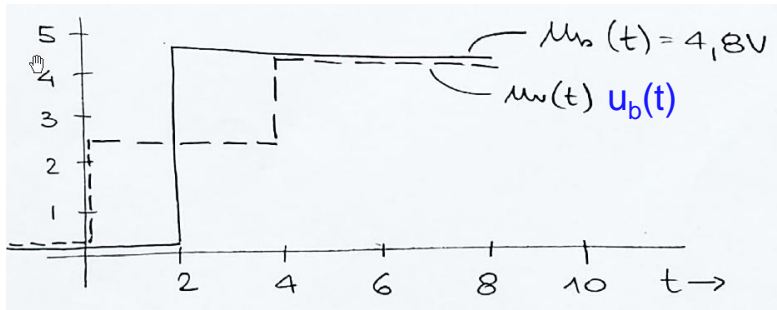
$$T_{CLK} = 6\text{ns}, F_{CLK} = 166.6\text{ MHz}$$



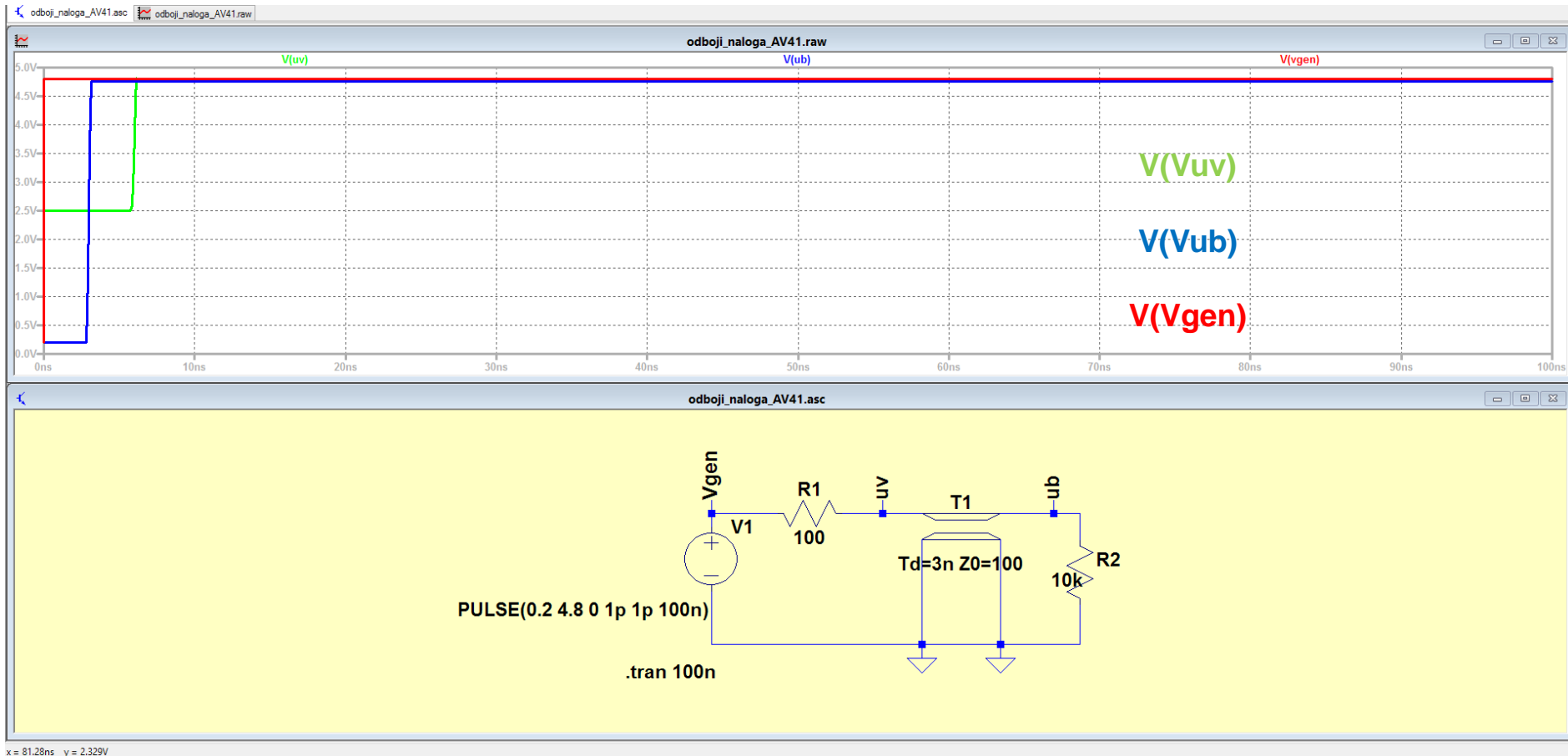
Sprememba signala iz stanja 1 v stanje 0 ob času $t = 0$



Objavljena rešitev (e-učilnica)

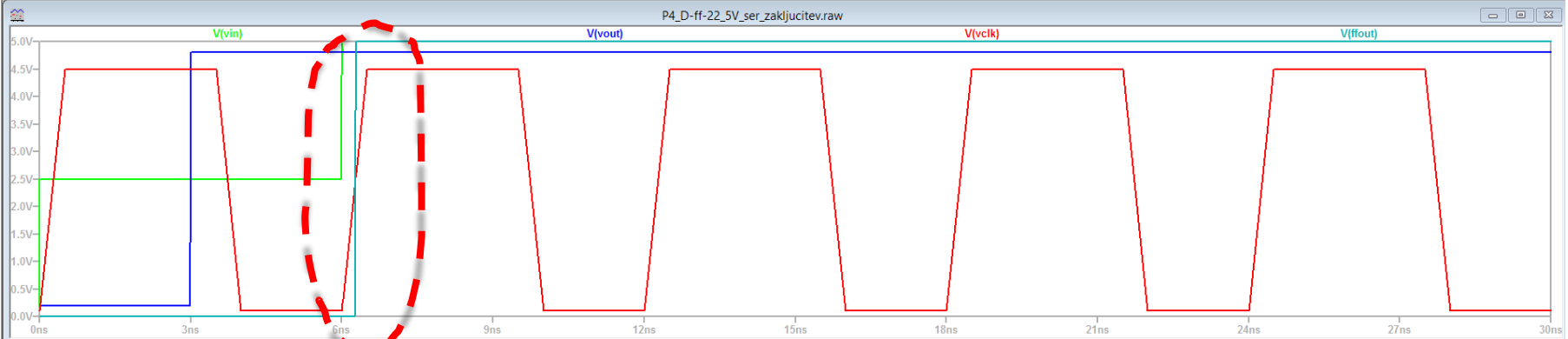
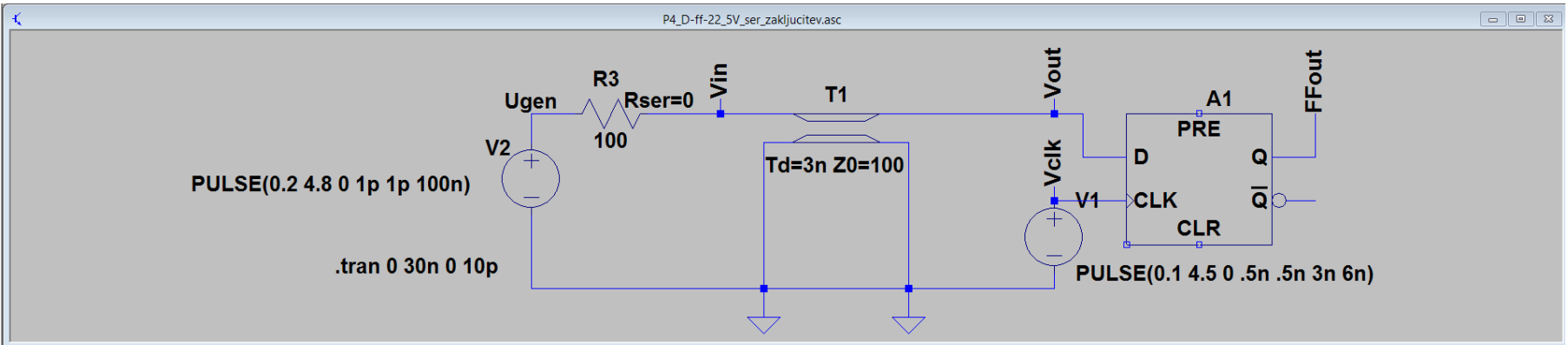


LTSpice – Naloga AV4-1a (serijska prilagoditev)



Nap. nivoji do 5V !

LTSpice – Naloga AV4-1a FlipFlop (serijska prilagoditev)



Component Attribute Editor

Open Symbol: C:\Users\R\Documents\LTSpiceXVII\lib\sym\Digital\dflop.asy

Attribute	Value	Vis.
Prefix	A	
InstName	A1	X
SpiceModel	DFLOP	
Value		
Value2	Vhigh=5 Vlow=0	
SpiceLine		
SpiceLine2		

Cancel OK

Nastavimo nap. nivoje za D-FF (do 5V, sicer 1V)

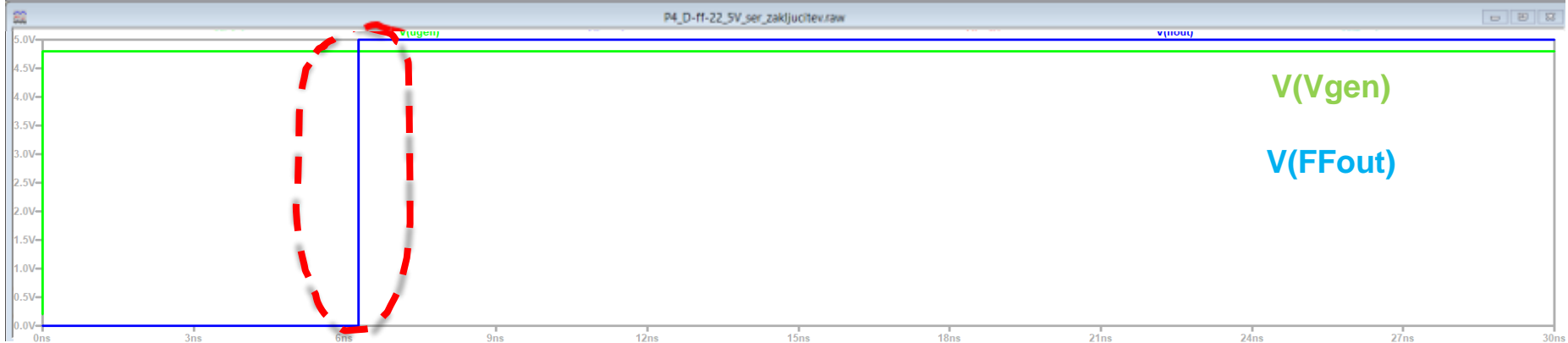
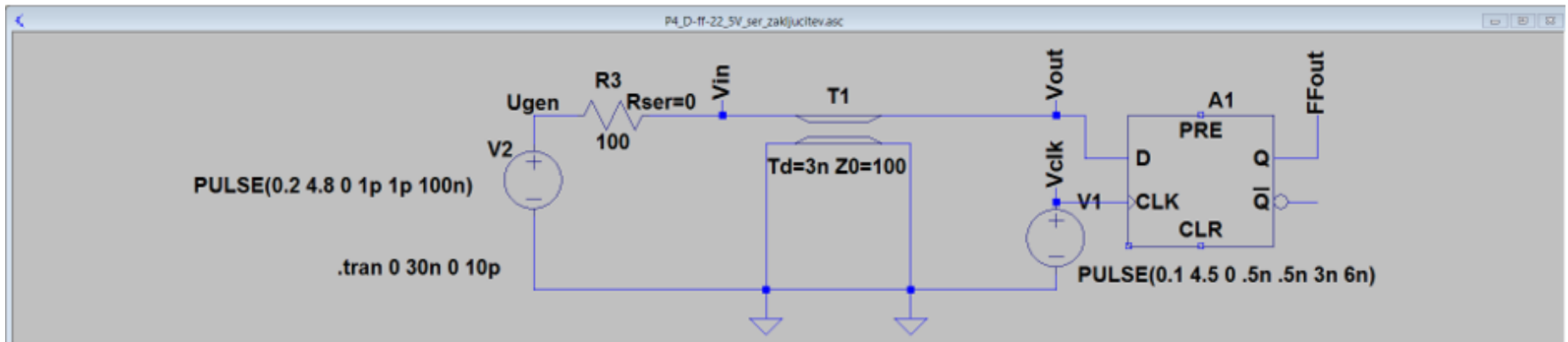
V(Vin)

V(Vout)

V(clk)

V(FFout)

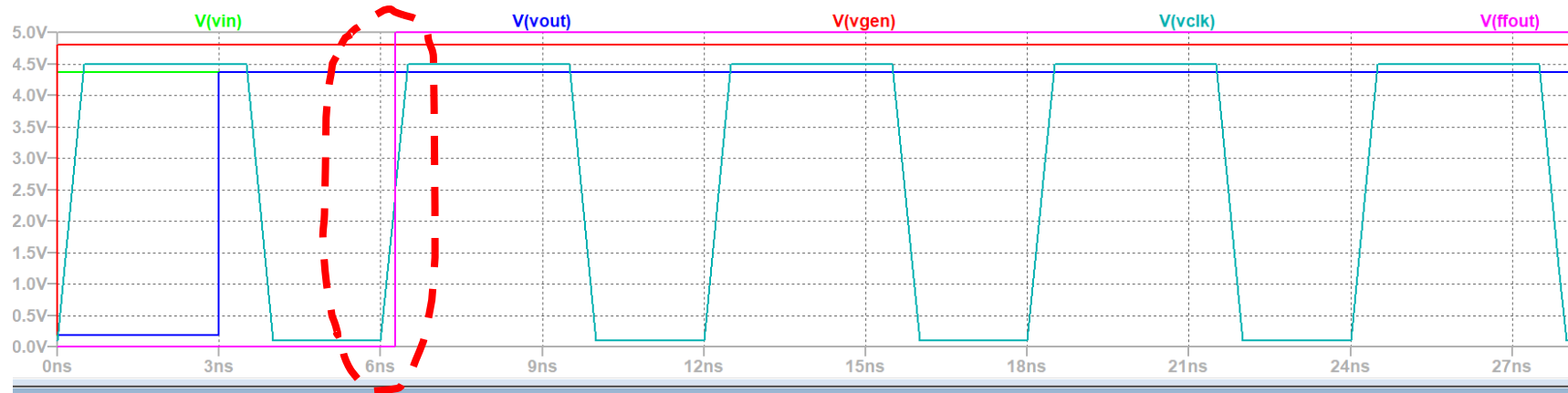
LTSpice – Naloga AV4-1a FlipFlop (serijska prilagoditev)



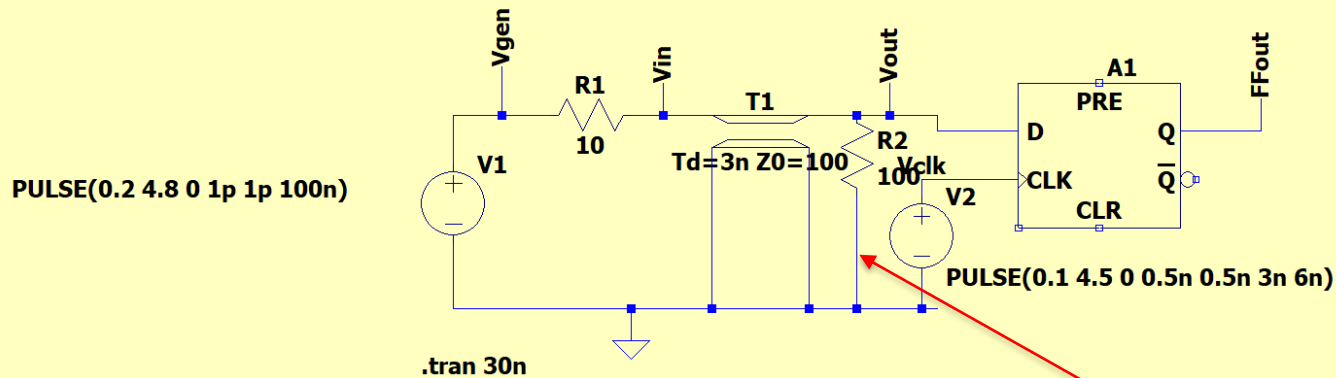
Rešitev: D-FF naredi tudi samo eden (zakasnen) prehod 0->1
V(Vgen) in V(FFout)

Izziv: bi lahko problem rešili še kako drugače ?

LTSpice – Naloga AV4-1a FlipFlop (paralelna prilagoditev)



Vezej4_Naloga_AV41_D-FF_Par_zak.asc

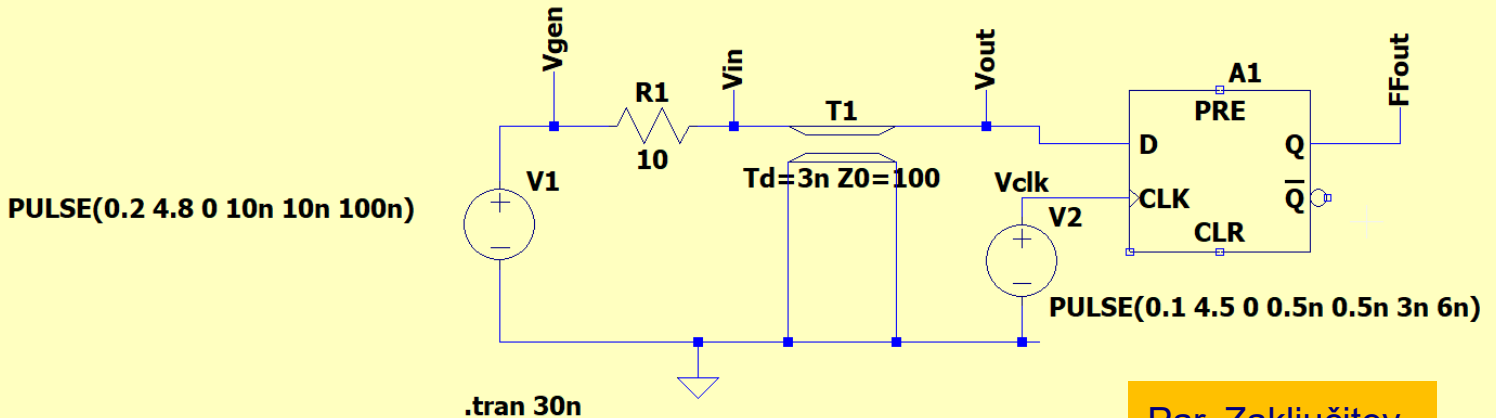
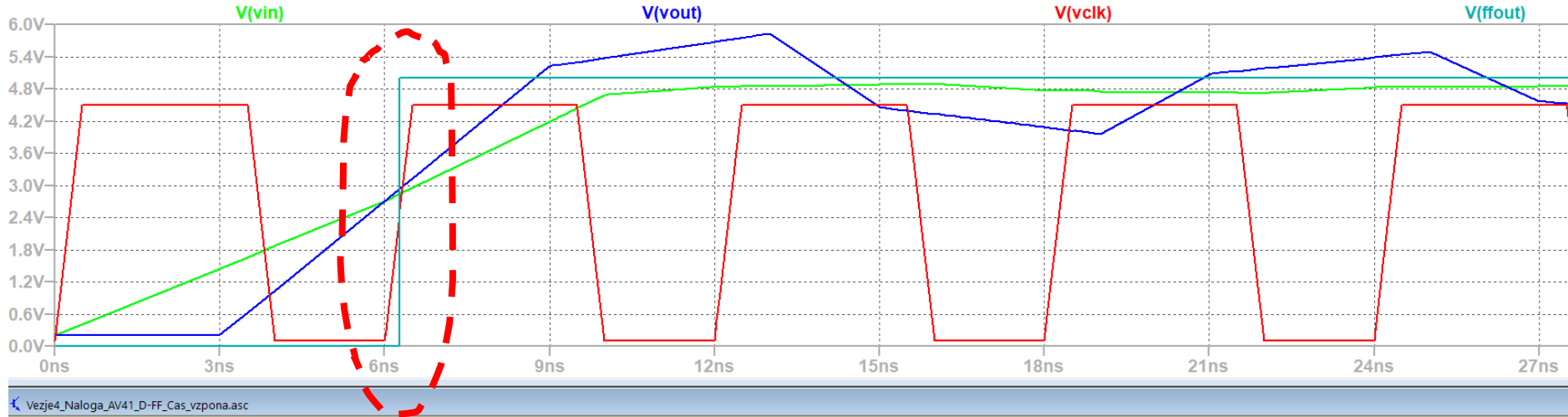


Rešitev: D-FF naredi tudi samo eden (zakasnen) prehod 0->1

Izziv: bi lahko problem rešili še kako drugače ?

Par. Zaključitev,
Počasnejši CLK
Čas vzpona ...

LTSpice – Naloga AV4-1a FlipFlop (daljši čas vzpona (10ns > 3τ=9ns))



Rešitev: D-FF naredi tudi samo eden (zakasnen) prehod 0->1

Par. Zaključitev,
Počasnejši CLK
Čas vzpona ...

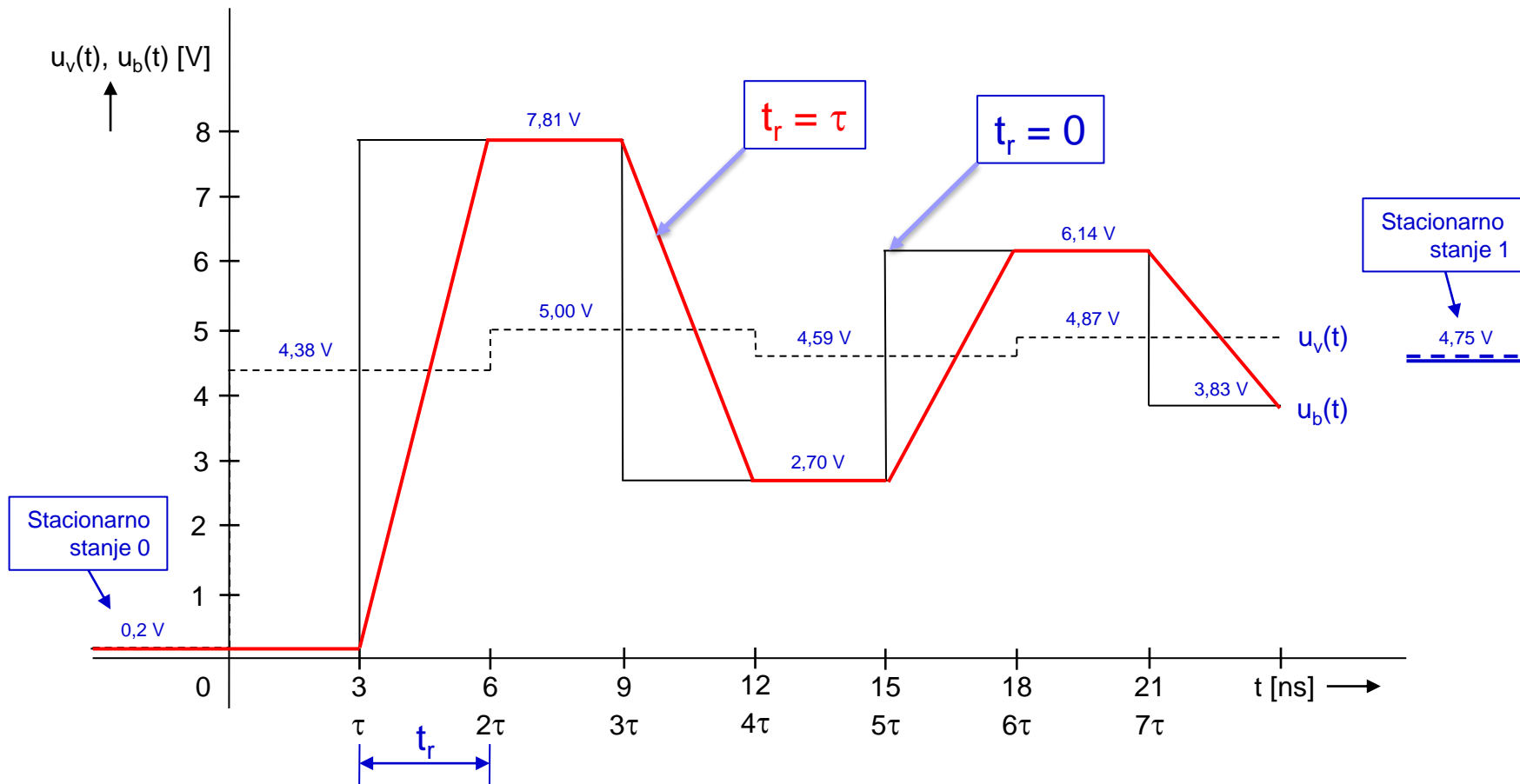
Izziv: bi lahko problem rešili še kako drugače ?

PULSE(0.2 4.8 0 10n 10n 100n)

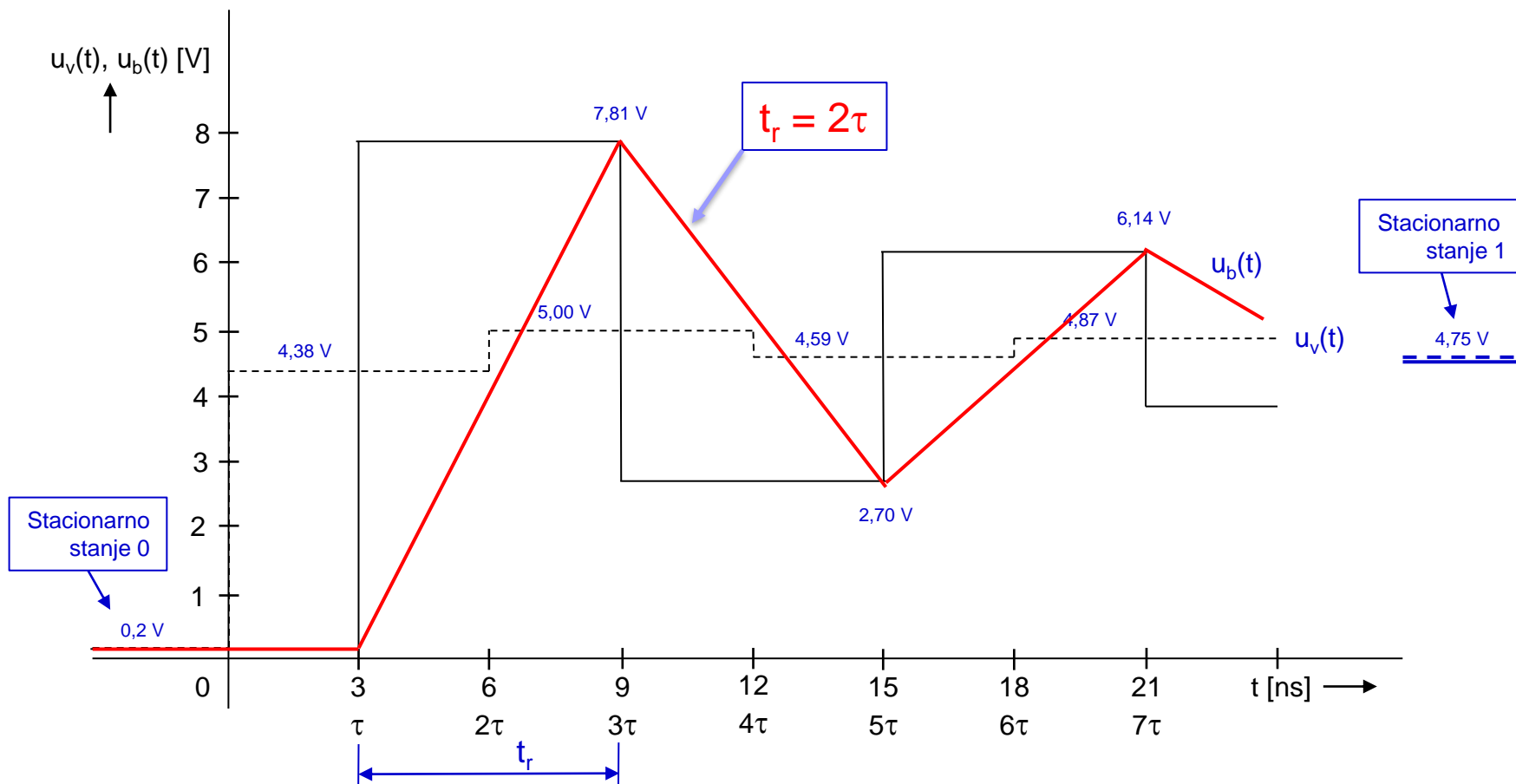
LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Naloga 4-1 - Simulacija
- 7.3: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.4: Simulacija odbojev za lab. meritve – DN 2-3
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-4

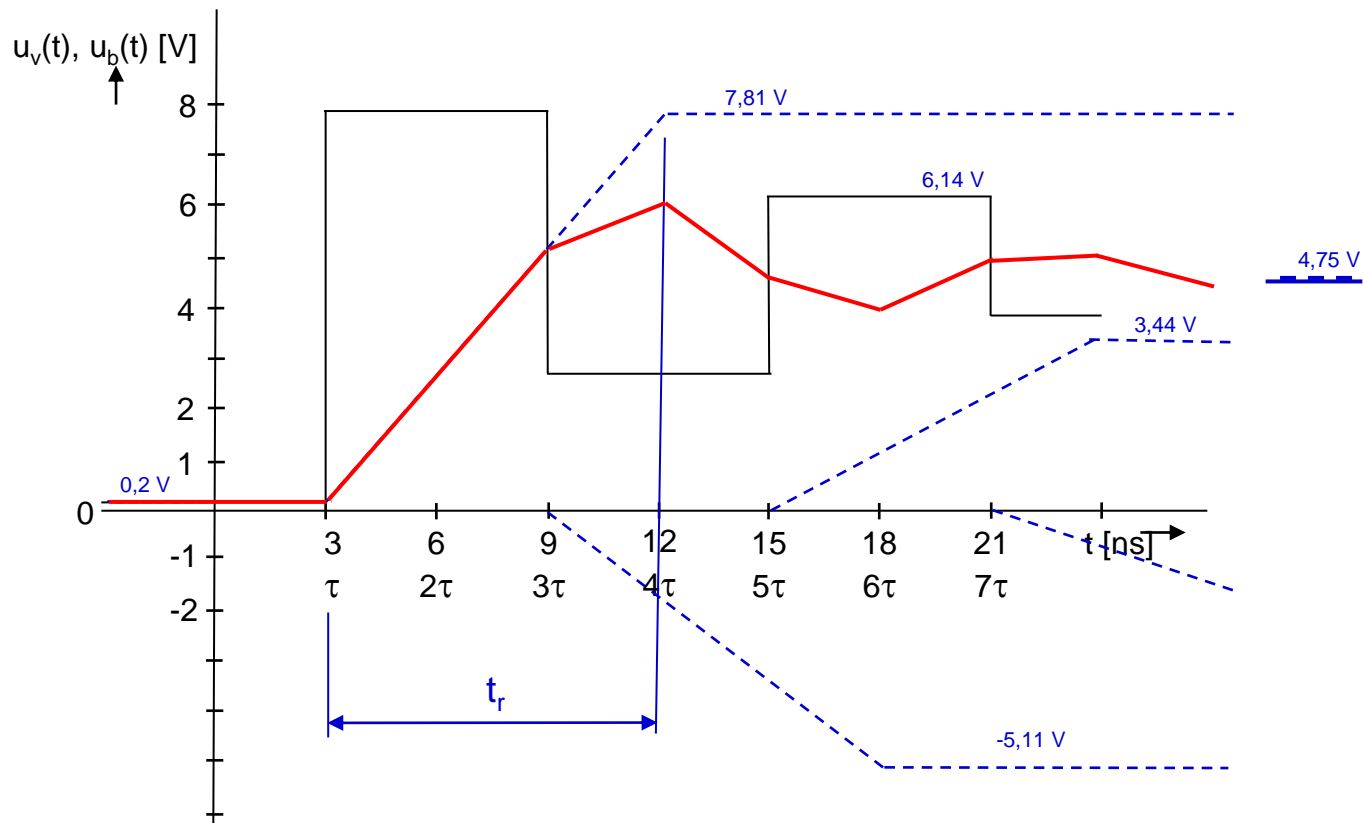
Časovni diagram poteka napetosti na izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = \tau$.



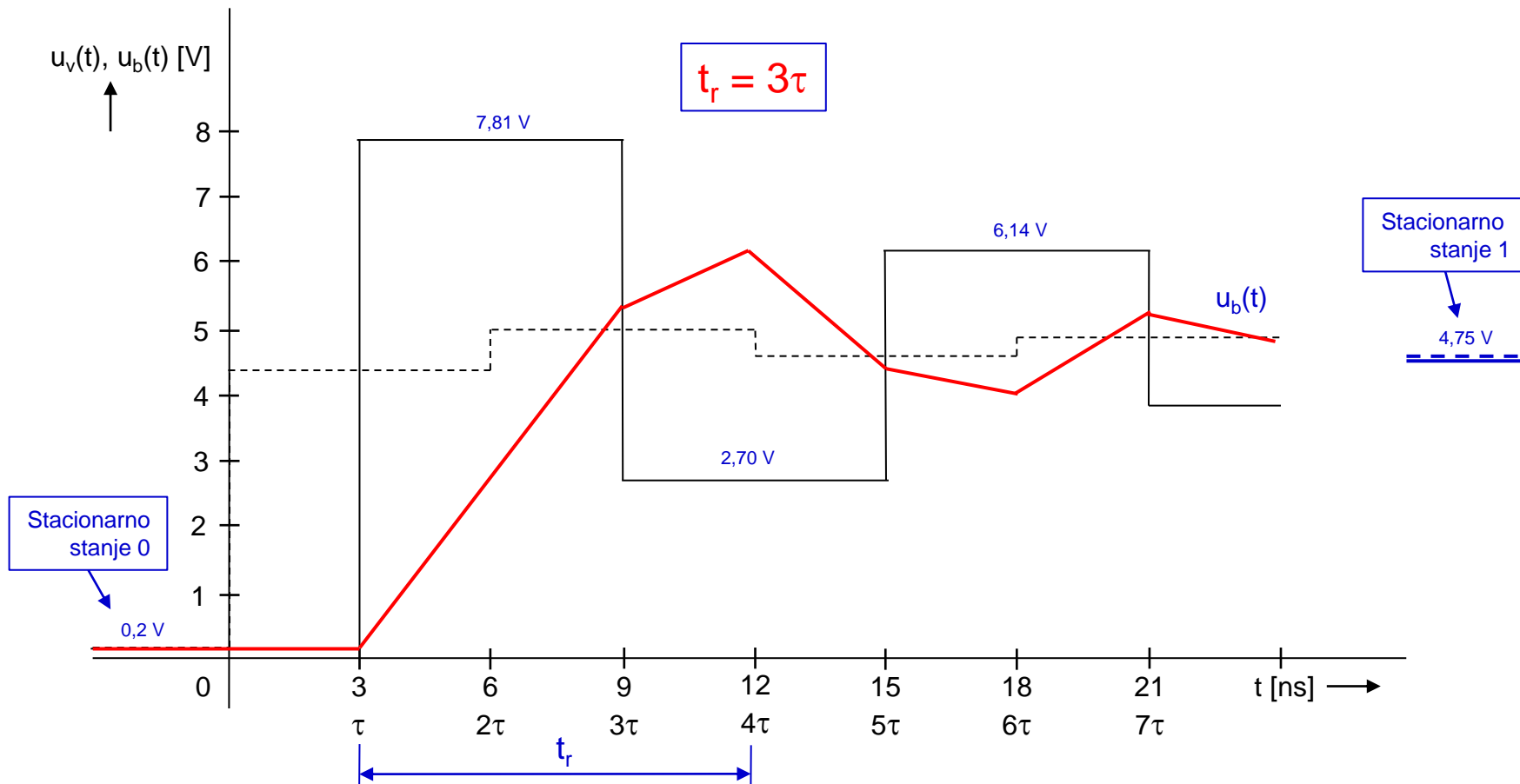
Časovni diagram poteka napetosti izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = 2\tau$



Časovni diagram poteka napetosti izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = 3\tau$ ($t_r > 2\tau$)

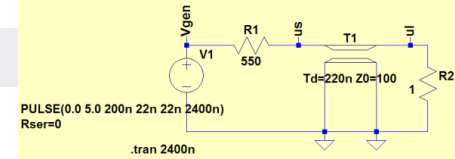


Časovni diagram poteka napetosti izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = 3\tau$ ($t_r > 2\tau$)



LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Naloga 4-1 - Simulacija
- 7.3: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.4: Simulacija odbojev za lab. meritve – DN2-3
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-4



Simulacija meritev UTP kabel v programu SPICE.

SPICE Simulacije slik iz osciloskopa: UTP kabel, $R_S = 50..550 \Omega$, $R_L = 1..500 \Omega$

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

$R_0 = 100 \Omega$
 $R_L, R_S = 0, 50, 500 \Omega$

$R_L > R_0$, $R_L = 500 \Omega$
 $\rho_L = 0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L = 0$ (ni odboja)

$R_L < R_0$, $R_L = 1 \Omega$
 $\rho_L = -0.98$ (neg. odboj)

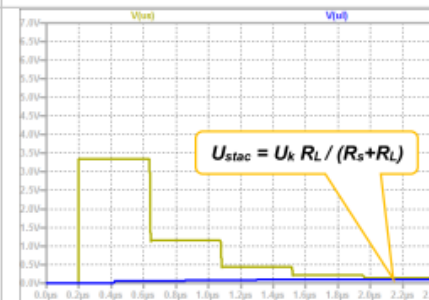
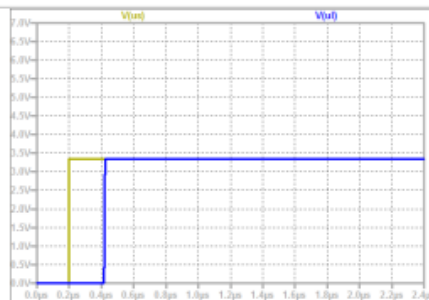
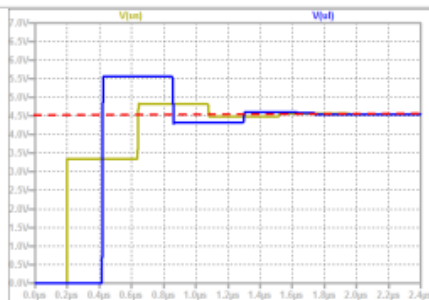
Višje potujoče napetosti

$R_S < R_0$

$R_S = 50 \Omega$

$\rho_S = -0.333$

[0.5V/razdelek]



$R_S = R_0$

$\rho_S = 0$

[0.5V/razdelek]

Nizke potujoče napetosti

$R_S > R_0$

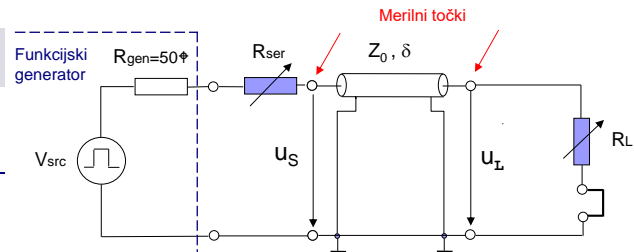
$R_S = 550 \Omega$

$\rho_S = 0.692$

[0.5V/razdelek]

(LV2) - Merjenje odbojev na liniji

Primer rezultatov meritev



Slike osciloskopa: UTP kabel, $R_S = 50..550 \Omega$, $R_L = 1..500 \Omega$ ($R_{gen}=50 \Omega$) UTP

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

Višje potujoče napetosti

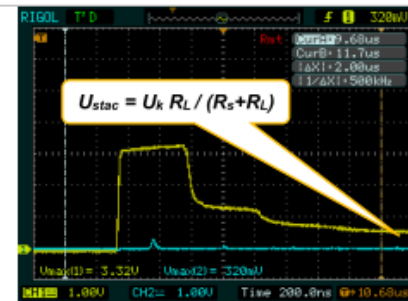
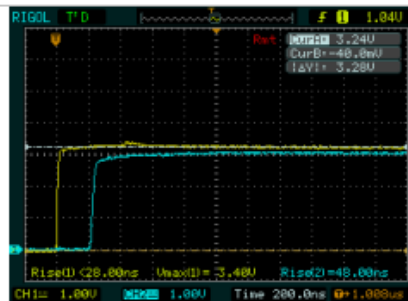
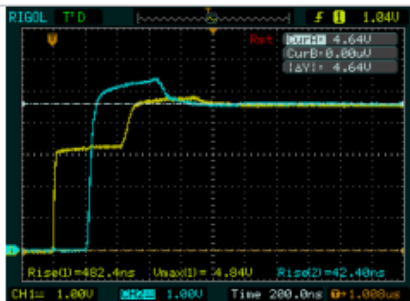
$R_0 = 100 \Omega$
 $R_L, R_S = 0,50,500 \Omega$

$R_L > R_0, R_L = 500 \Omega$
 $\rho_L = 0.666$ (poz. odboj)

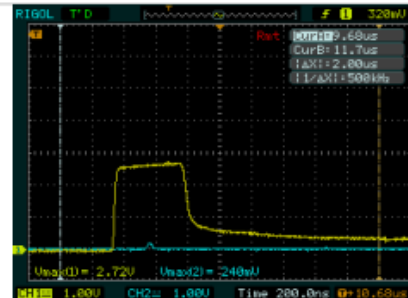
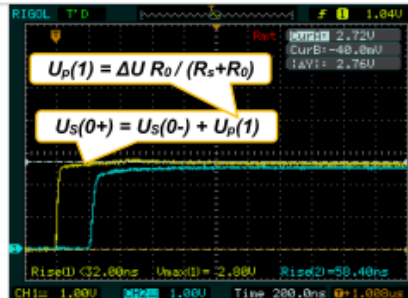
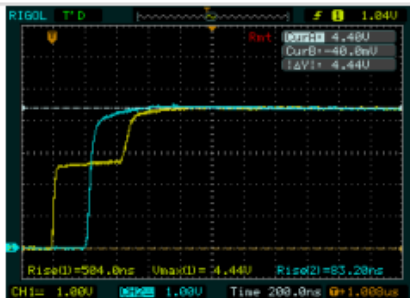
$R_L = R_0$
 $\rho_L = 0$ (ni odboja)

$R_L < R_0, R_L = 1 \Omega$
 $\rho_L = -0.98$ (neg. odboj)

$R_S < R_0$
 $R_S = 50 \Omega$
 $\rho_S = -0.333$
[1V/razdelek]

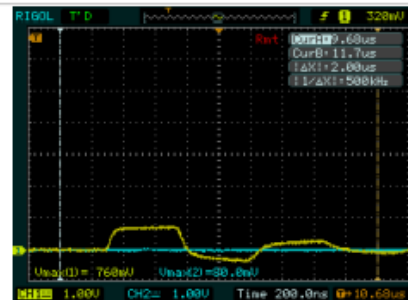
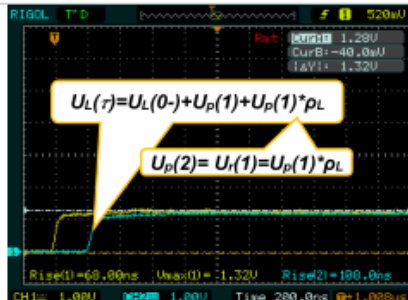
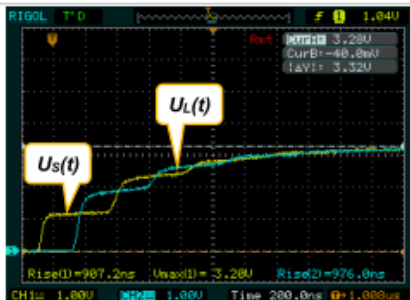


$R_S = R_0$
 $\rho_S = 0$
[1V/razdelek]

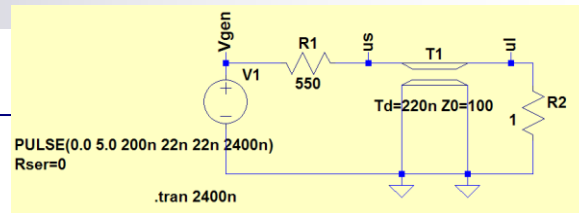


Nizke potujoče napetosti

$R_S > R_0$
 $R_S = 550 \Omega$
 $\rho_S = 0.692$
[1V/razdelek]



Primerjava: Simulacija - Meritve.



SPICE Simulacije slik iz osciloskopa: UTP kabel, $R_S=50..550 \Omega$, $R_L=1..500 \Omega$

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

$R_0=100\Omega$
 $R_L, R_S=0,50,500\Omega$

$R_L > R_0, R_L=500\Omega$
 $\rho_L=0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L=0$ (ni odboja)

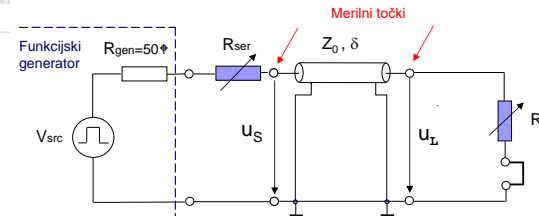
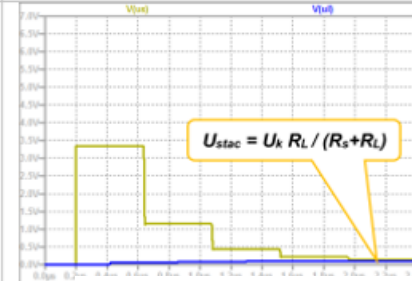
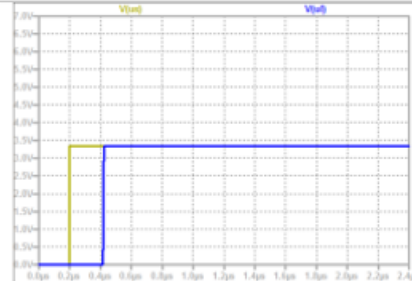
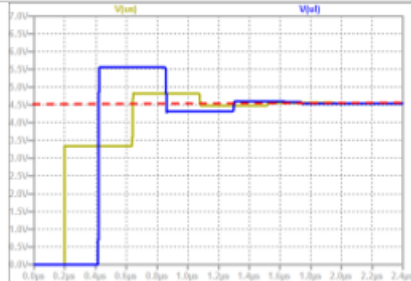
$R_L < R_0, R_L=1\Omega$
 $\rho_L=-0.98$ (neg. odboj)

Višje potujobe napetosti!

$R_S < R_0$

$R_S=50 \Omega$
 $\rho_S=-0.333$

[0.5V/razdelek]



Slike osciloskopa: UTP kabel, $R_S=50..550 \Omega$, $R_L=1..500 \Omega$ ($R_{gen}=50 \Omega$) UTP

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

$R_0=100\Omega$
 $R_L, R_S=0,50,500\Omega$

$R_L > R_0, R_L=500\Omega$
 $\rho_L=0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L=0$ (ni odboja)

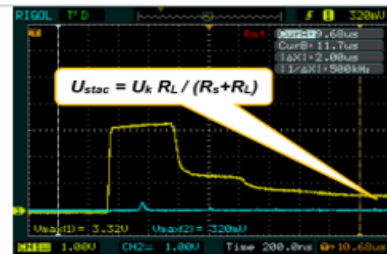
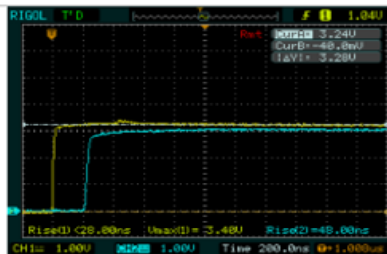
$R_L < R_0, R_L=1\Omega$
 $\rho_L=-0.98$ (neg. odboj)

Višje potujobe napetosti!

$R_S < R_0$

$R_S=50 \Omega$
 $\rho_S=-0.333$

[1V/razdelek]



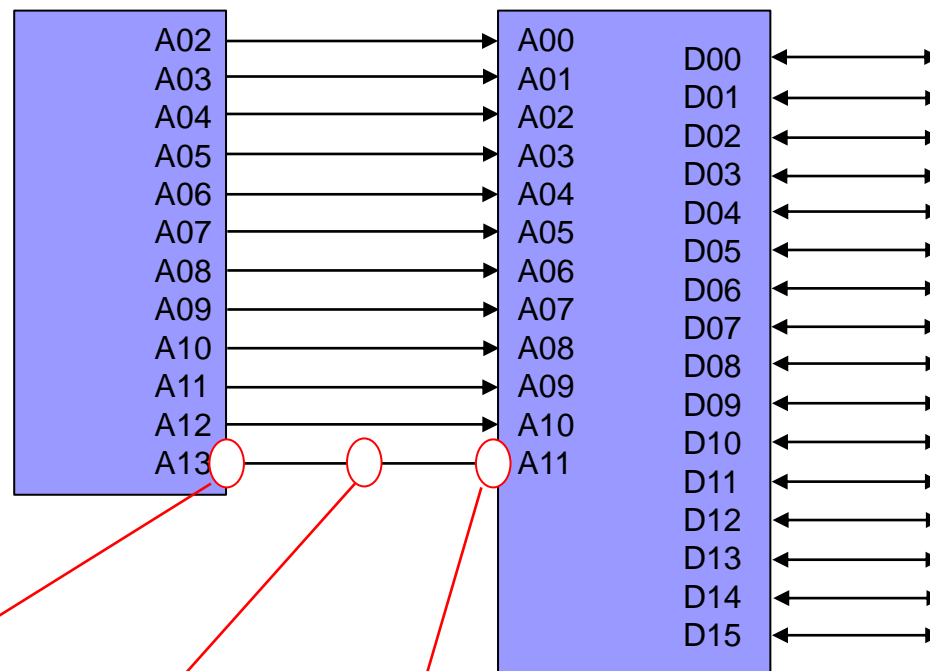
LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Naloga 4-1 - Simulacija
- 7.3: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.4: Simulacija odbojev za lab. meritve – DN 2-3
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-4

Naloga 5: Simulacija odbojev na liniji s programom Pspice – DRAM pomnilnik, naslovna linija

Krmilnik pomnilnika

DRAM 1M x 16bitov

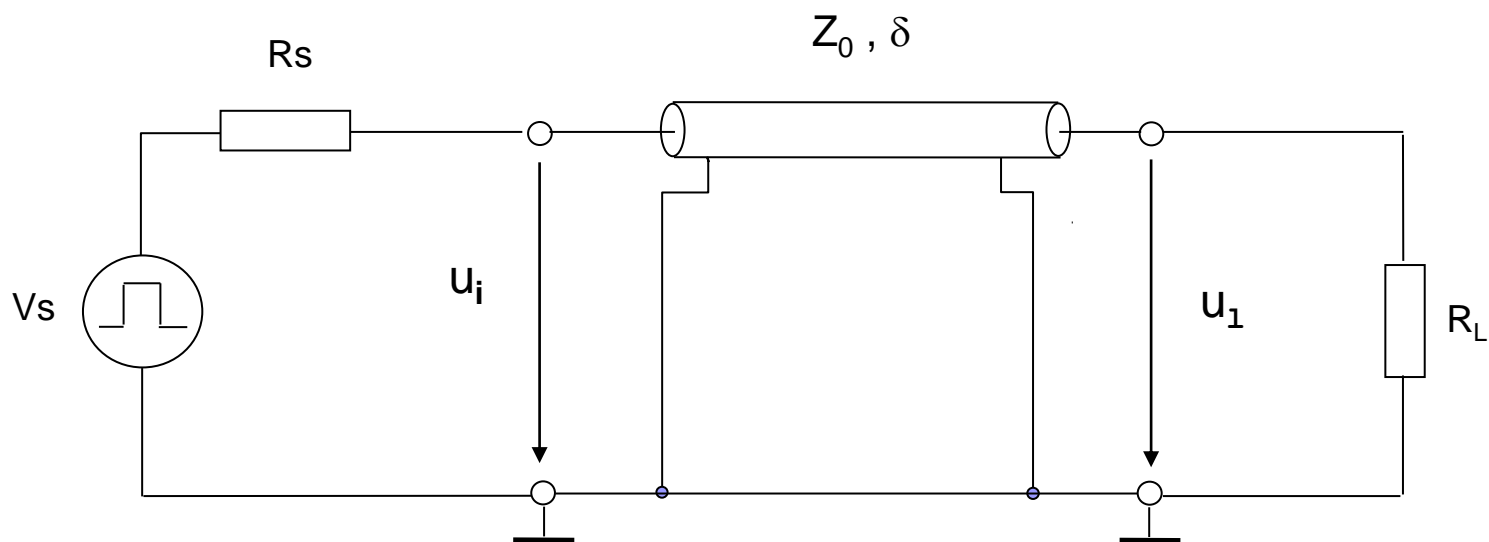


$$\begin{aligned} R_{izh} &= 24 \Omega \\ V_0 &= 0,1 \text{ V} \\ V_1 &= 1,8 \text{ V} \\ t_r &= 0,1 \text{ ns} \end{aligned}$$

$$\begin{aligned} Z_0 &= 70 \Omega \\ \delta &= 6 \text{ ns/m} \\ l &= 10 \text{ cm} \end{aligned}$$

$$R_{vh} = 1 \text{ M}$$

Model linije



V_s - Napetost izvora [V]

R_s - Upornost izvora - izhodna upornost oddajnika [Ω]

Z_0 - Karakteristična impedanca linije [Ω]

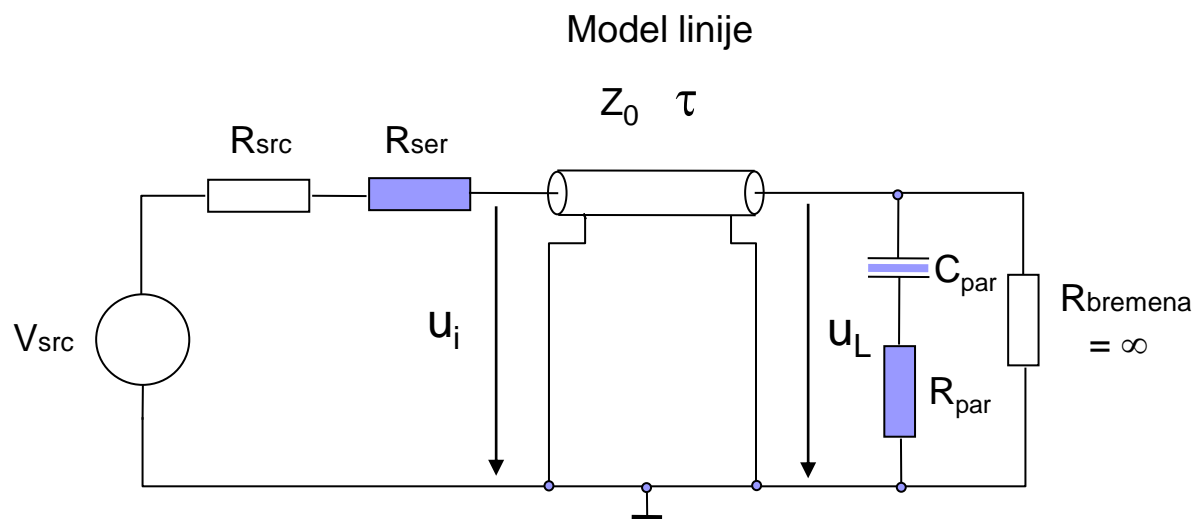
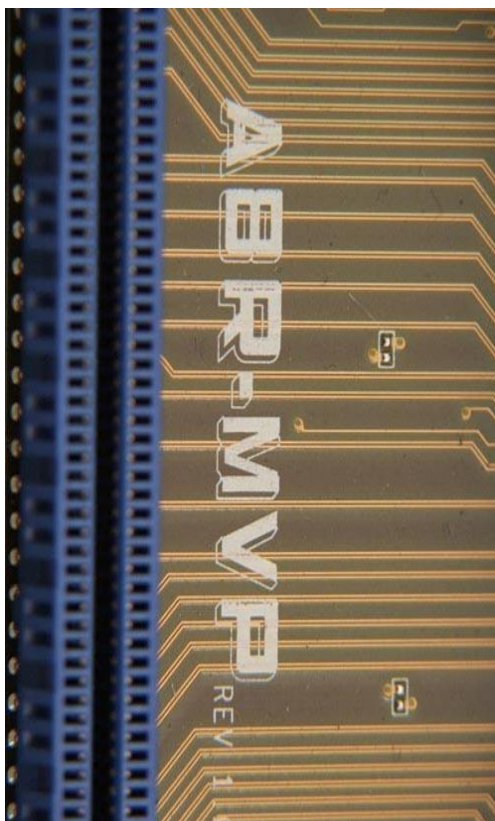
R_L - Upornost bremena - vhodna upornost sprejemnika [Ω]

δ - Zakasnitev signala na enoto dolžine [ns/m]

u_i - Napetost na vhodu v linijo [V]

u_1 - Napetost na izhodu linije [V]

Možne zaključitve



Preizkusite :

- V_{src} : $V_0 = 0,1 \text{ V}$; $V_1 = 1,8 \text{ V}$; $t_r = t_f = 0,3 \text{ ns}$
- Linija T1: $Z_0 = 70 \text{ } \Omega$, $\tau = 0,6 \text{ ns}$ ($TD = l * \delta$)

Različni možni načini zaključitve:

- Brez zaključitve:
 $R_{src} = 24 \text{ } \Omega$, $R_b = 1M \text{ } \Omega$
- Serijska zaključitev
 $R_{ser} + R_3 = R_0 = 70 \text{ } \Omega$
- Paralelna AC zaključitev*
 $R_{par} = 70 \text{ } \Omega = R_0$, $C_{par} = 5 \text{ pF}$
- Obojestranska zaključitev*
 $R_{ser} + R_3 = R_0 = 70 \text{ } \Omega$
 $R_{par} = 70 \text{ } \Omega = R_0$, $C_{par} = 5 \text{ pF}$

* *Neobvezni del: primerjajte porabo (el.tok) z ostalimi; lahko tudi spreminjate C_{par} .*