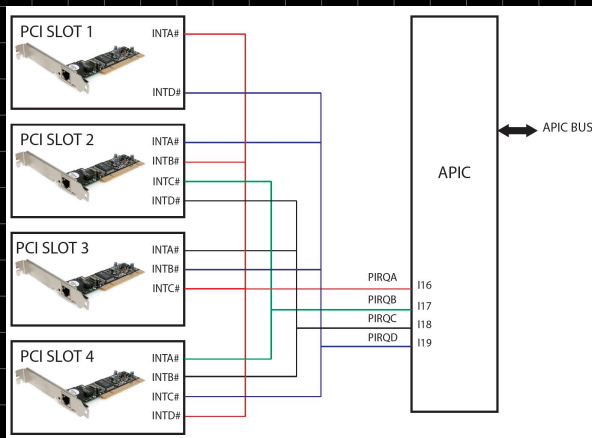
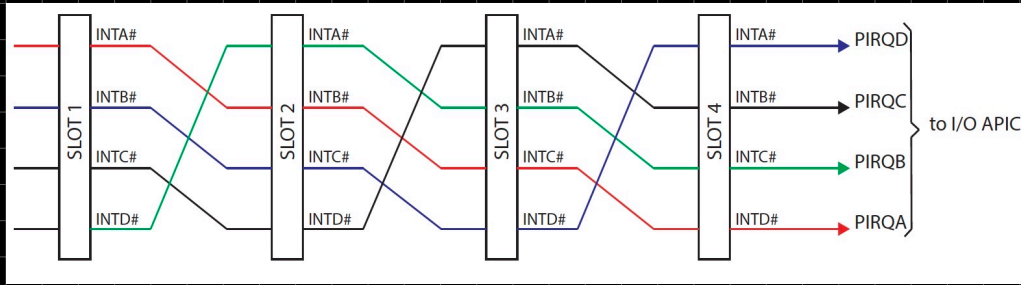


Prelature na PCI vodilu



Velik problem: lahko se zgod, da prenos podatkov na PCI ne bo v redu ni zadovoljiv, ker PCI ne more sprejeti podatkov in do y PSP CPE dostop do teh podatkov

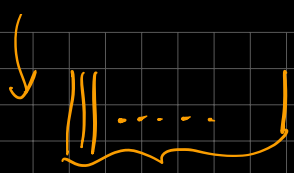
↓
 CPE je v tem primeru morda prebrskati status teorije je PCI → I/O preden je dostop do podatkov

↓
 vneto je podaljitev ob odzivu na prejetje

Zgodovinski potek: dosepi smo ploho - prenosne hitrosti po PCI vodilu

→ 64 bitno vodilo @ 66 MHz

→ peak BW = 8B x 66 M/s ≥ 500 MB/s



64 vporredil PIC, ki utrpajo
166 MHz

ODBAJI PRESLUKE

BARANI TA SO BARNO AVUSTAN
VPOREDNO PCI VODILO

PCI je temeljno sredstvo **PCIe** vodilo

UVAZNI, NO APIC !!

namesto APICA naj LAPIC-om
prekinitveno sprosti poroča
PCIe naprava, ki kot tvoj
potrdi bit - za - bitovno

BODI VSAKA NAPRAVA PCIe (USB)

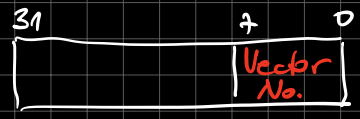
VSAKA PCIe naprava ima 2 programabilna (nastavljiva,
bralna pisalna) registre

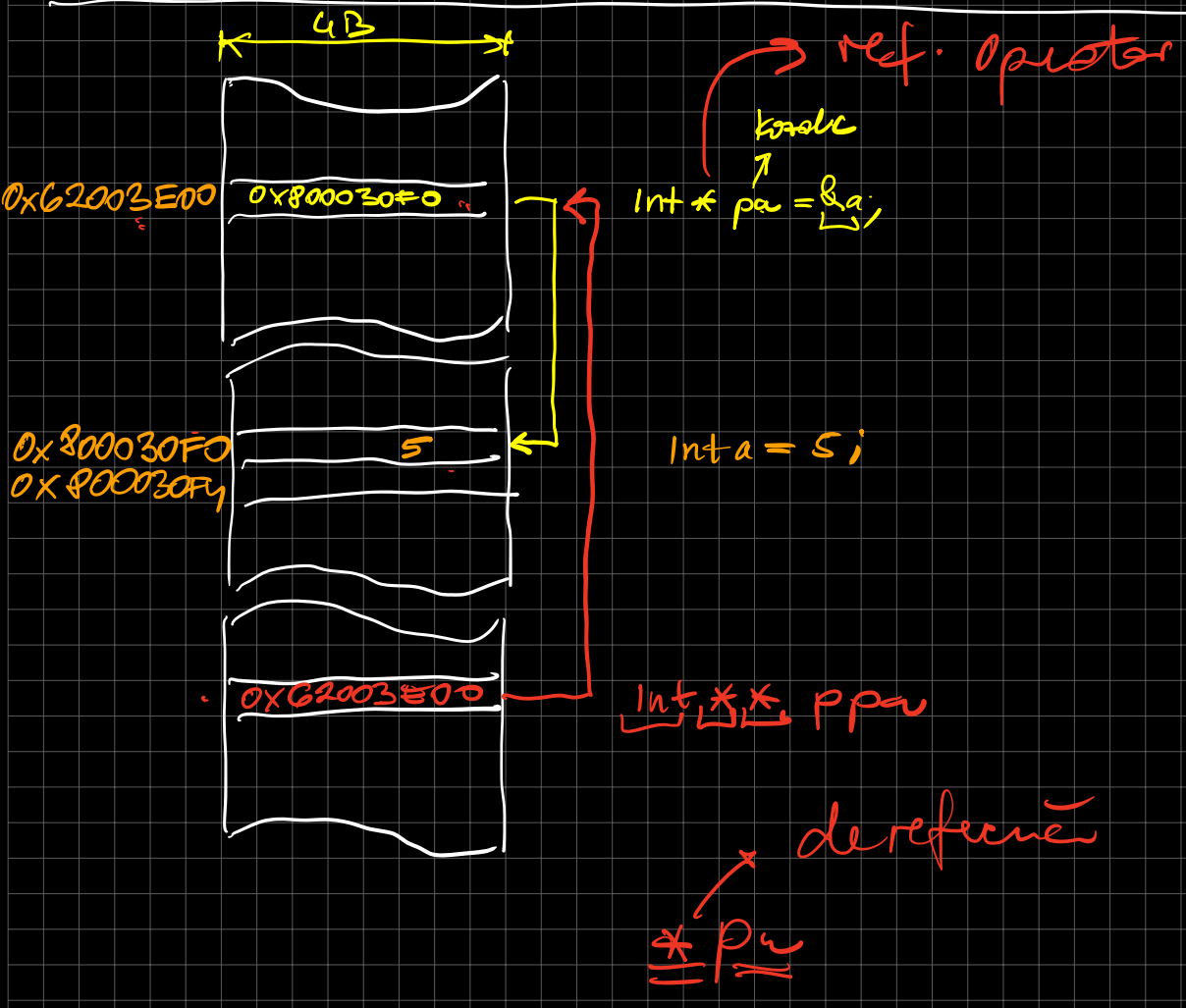
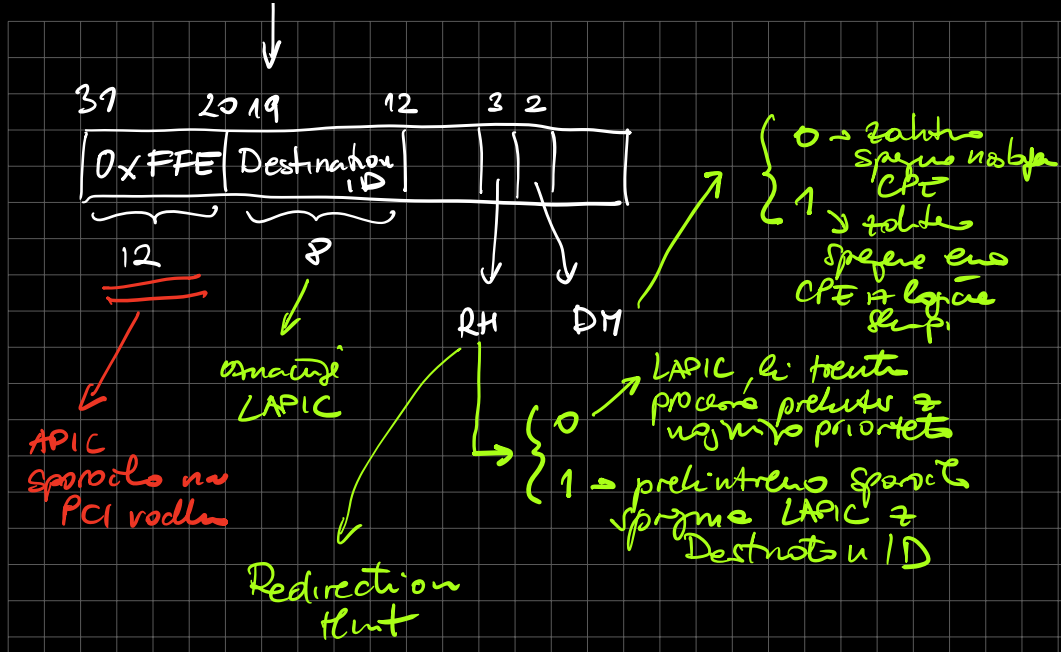
MAR
(Memory Address
Register)

Ob inicializaciji naprave
CPE v ta register vpiše
naslov LAPIC-a, ki bo
sprejemal prekinitveno
sredstvo

MDR
(Memory Data
Register)

Ob inicializaciji
CPE vpiše
prekinitveni
vektor

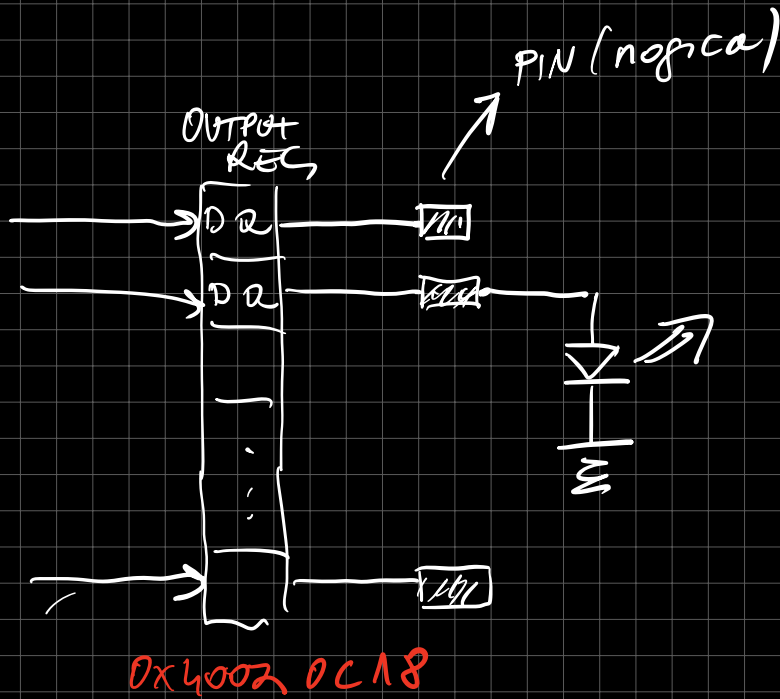




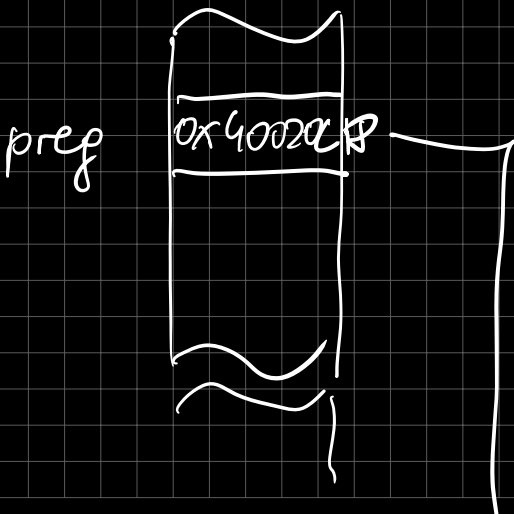
U/I: GPIO

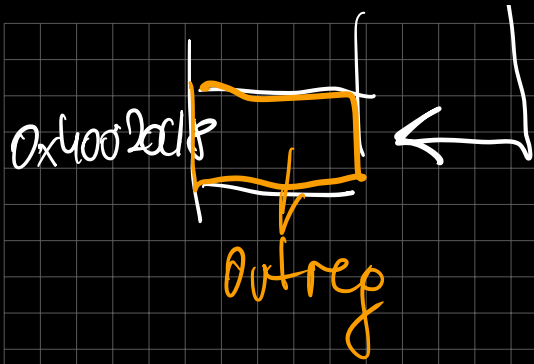
↳ OUTPUT REG

↳ MODER



$\text{int} * \text{reg} = 0x40020c18,$





*prep = new videst,